

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

17875290

Basic Patent (No,Kind,Date): JP 2002149125 A2 20020524 <No. of Patents: 003>

DATA LINE DRIVING CIRCUIT FOR PANEL DISPLAY DEVICE (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): TSUCHI HIROSHI

IPC: *G09G-003/36; G02F-001/133; G09G-003/20; G09G-003/30; H04N-005/66

Derwent WPI Acc No: G 02-552643

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2002149125	A2	20020524	JP 2000343562	A	20001110 (BASIC)
US 20030006955	AA	20030109	US 986937	A	20011113
TW 522373	B	20030301	TW 90127797	A	20011108

Priority Data (No,Kind,Date):

JP 2000343562 A 20001110

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07280661 **Image available**

DATA LINE DRIVING CIRCUIT FOR PANEL DISPLAY DEVICE

PUB. NO.: 2002-149125 [JP 2002149125 A]

PUBLISHED: May 24, 2002 (20020524)

INVENTOR(s): TSUCHI HIROSHI

APPLICANT(s): NEC CORP

APPL. NO.: 2000-343562 [JP 2000343562]

FILED: November 10, 2000 (20001110)

INTL CLASS: G09G-003/36; G02F-001/133; G09G-003/20; G09G-003/30;
H04N-005/66

ABSTRACT

PROBLEM TO BE SOLVED: To reduce the static power consumption of an output buffer in a data line driving circuit of a panel display device such as a liquid crystal display device.

SOLUTION: The data line driving circuit of the liquid crystal display device is provided with a selection circuit 20 for receiving plural voltages V1-V3 corresponding to the data lines 301-303 from a D-A converter 16 and alternatively outputting them, an analog buffer 22A connected to the output of the selection circuit, a distribution circuit 24 for receiving the outputs of the analog buffer and alternatively distributing them to one corresponding data line, and a pre-charge circuit 26 for pre-charging each data line with VDD or VSS according to at least the most significant bit of digital data in the 1st pre-charge period of each scanning selection period.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-149125

(P 2 0 0 2 - 1 4 9 1 2 5 A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int. Cl. 7	識別記号	F I	テマコード (参考)
G09G 3/36		G09G 3/36	2H093
G02F 1/133	550	G02F 1/133	5C006
	575		5C058
G09G 3/20	611	G09G 3/20	A 5C080
	623		D

審査請求 未請求 請求項の数 8 O L (全23頁) 最終頁に続く

(21) 出願番号 特願2000-343562 (P 2000-343562)

(22) 出願日 平成12年11月10日 (2000.11.10)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 土 弘

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100092277

弁理士 越場 隆

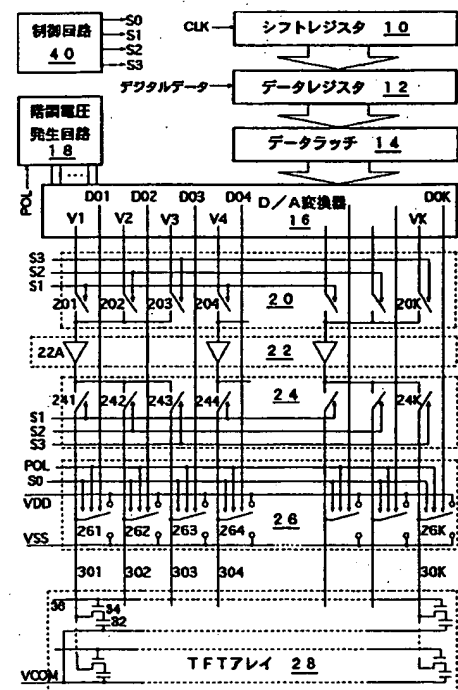
最終頁に続く

(54) 【発明の名称】 パネル表示装置のデータ線駆動回路

(57) 【要約】 (修正有)

【課題】 液晶表示装置のようなパネル表示装置のデータ線駆動回路における出力バッファの静消費電力を削減する。

【解決手段】 液晶表示装置のデータ線駆動回路は、データ線301から303に対応した複数の電圧V1～V3をD/A変換器16から受けて択一的に出力する選択回路20と、選択回路の出力に接続されたアナログバッファ22Aと、アナログバッファの出力を受けて、対応する1つのデータ線に択一的に分配する分配回路24と、各走査線選択期間の最初のプリチャージ期間において、各データ線を、対応するデジタルデータの少なくとも最上位ビットに従って、VDDまたはVSSに一斉にプリチャージするプリチャージ回路26を具備する。



【特許請求の範囲】

【請求項1】 パネル表示装置のデータ線駆動回路において、パネル表示装置の多数のデータ線の内の各複数のデータ線にそれぞれ対応した複数の電圧を受ける選択手段と、前記選択手段により択一的に選択された電圧を受けて出力する、複数のデータ線に共通して設けられたアナログバッファと、前記アナログバッファの出力を受けて前記複数のデータ線の1つに択一的に分配する分配手段と、前記多数のデータ線の各々毎に設けられ、対応するデータ線に対応するデジタルデータの少なくとも最上位ビット信号に従って、対応するデータ線を高駆動電圧と低駆動電圧の何れか一方にプリチャージするプリチャージ手段と、前記選択手段と前記分配手段と前記プリチャージ手段とを制御する制御手段とを具備しており、プリチャージ期間とそれに続く複数の書き込み期間とからなる各走査線選択期間において、前記制御手段は、前記プリチャージ期間において、前記アナログバッファの出力を前記複数のデータ線の全てから切り離すように前記分配手段を制御し、前記プリチャージ手段の全てを動作させて前記複数のデータ線の全てをプリチャージし、前記複数の書き込み期間において、前記プリチャージ手段の全てを不動作状態にする一方、前記選択手段と前記分配手段を制御して、前記複数の書き込み期間の内の第1の書き込み期間において、前記複数のデータ線の内の第1のデータ線に対応する電圧を前記アナログバッファに供給し、前記アナログバッファの出力を前記第1のデータ線に供給し、前記複数の書き込み期間の内の第2の書き込み期間において、前記複数のデータ線の内の第2のデータ線に対応する電圧を前記アナログバッファに供給し、前記アナログバッファの出力を前記第2のデータ線に供給することを特徴とするパネル表示装置のデータ線駆動回路。

【請求項2】 1走査線分のデジタルデータを保持するデータラッチと、前記データラッチから1走査線分のデジタルデータを受けてD/A変換して、対応するアナログ階調電圧を出力するD/A変換器とを更に具備しており、前記選択手段は、前記D/A変換器から出力される、前記各複数のデータ線にそれぞれ対応したアナログ階調電圧を受けて、択一的に選択したアナログ階調電圧を前記アナログバッファに出力することを特徴とする請求項1記載のパネル表示装置のデータ線駆動回路。

【請求項3】 1走査線分のデジタルデータを保持するデータラッチと、デジタルデータを受けてD/A変換して、対応するアナログ階調電圧を出力するD/A変換器とを更に具備しており、前記選択手段は、前記データラッチから、前記各複数のデータ線にそれぞれ対応したデジタルデータを受けて択一的に前記D/A変換器に出力し、前記D/A変換器は、前記選択手段から出力された前記デジタルデータを受けてD/A変換して、対応するアナログ階調電圧を前記アナログバッファに出力するこ

とを特徴とする請求項1記載のパネル表示装置のデータ線駆動回路。

【請求項4】 パネル表示装置のデータ線駆動回路において、1走査線分のデジタルデータをP個のブロックに分け（ここで、Pは2以上の整数）、同様に、多数のデータ線をP個のブロックに分け、更に、データ線駆動回路は、前記P個のブロックの各ブロックのデジタルデータの少なくとも最上位ビット信号を、ブロックごとにラッチする第1のデータラッチと、前記P個のブロックの各ブロックのデジタルデータを、ブロックごとにラッチする第2のデータラッチと、前記第2のデータラッチから出力されるデジタルデータを受けてD/A変換して、対応するアナログ階調電圧を出力するD/A変換器と、前記D/A変換器から出力される前記アナログ階調電圧を受けて出力する、P個のデータ線に共通して設けられたアナログバッファと、前記アナログバッファの出力を受けて前記P個のデータ線の1つに択一的に分配する分配手段と、前記多数のデータ線の各々毎に設けられ、対応するデータ線に対応するデジタルデータの少なくとも最上位ビット信号に従って、対応するデータ線を高駆動電圧と低駆動電圧の何れか一方にプリチャージするプリチャージ手段と、前記第1及び第2のデータラッチと前記分配手段と前記プリチャージ手段とを制御する制御手段とを具備しており、前記制御手段は、各走査線選択期間の第1の期間において、前記第1のデータラッチに保持された前記第1のブロックのデジタルデータの少なくとも最上位ビット信号に従って、前記プリチャージ手段により、前記第1のブロックのデータ線の各々を高駆動電圧と低駆動電圧の何れか一方にプリチャージし、各走査線選択期間の第2の期間において、前記第2のデータラッチに保持された前記第1のブロックのデジタルデータが前記D/A変換器によりD/A変換され前記アナログバッファを介して出力された電圧を、前記分配手段により、前記第1のブロックのデータ線に供給し、並行して、前記第1のデータラッチに保持された前記第2のブロックのデジタルデータの少なくとも最上位ビット信号に従って、前記プリチャージ手段により、前記第2のブロックのデータ線の各々を高駆動電圧と低駆動電圧の何れか一方にプリチャージし、各走査線選択期間の第3の期間において、前記第2のデータラッチに保持された前記第2のブロックのデジタルデータが前記D/A変換器によりD/A変換され前記アナログバッファを介して出力された電圧を、前記分配手段により、前記第2のブロックのデータ線に供給することを特徴とするパネル表示装置のデータ線駆動回路。

【請求項5】 前記1走査線分のデジタルデータのP個のブロックは、その第1のブロックが前記1走査線分のデジタルデータの1番目のデジタルデータからP個毎のデジタルデータからなり、その第2のブロックが前記1走査線分のデジタルデータの2番目のデジタルデータか

らP個毎のデジタルデータからなり、前記多数のデータ線のP個のブロックは、その第1のブロックが前記多数のデータ線の1番目のデータ線からP個毎のデータ線からなり、その第2のブロックが2番目のデータ線からP個毎のデータ線からなることを特徴とする請求項4に記載のパネル表示装置のデータ線駆動回路。

【請求項6】 前記アナログバッファは、電流吸い込み能力の高い第1の駆動回路と電流吐き出し能力の高い第2の駆動回路とを並列して設けてなり、前記高駆動電圧にプリチャージされたデータ線にアナログ階調電圧を出力する場合には、前記第1の駆動回路が動作され、前記第2の駆動回路は不動作状態に維持され、前記低駆動電圧にプリチャージされたデータ線にアナログ階調電圧を出力する場合には、前記第2の駆動回路が動作され、前記第1の駆動回路は不動作状態に維持されることを特徴とする請求項1から5のいずれか1項に記載のパネル表示装置のデータ線駆動回路。

【請求項7】 前記第1の駆動回路は、ゲートとドレインとが互いに接続された第1のPMOSトランジスタと、前記第1のPMOSトランジスタの前記ゲートにゲートが共通接続され、ソースが前記アナログバッファの出力に接続された第2のPMOSトランジスタと、前記第1と第2のPMOSトランジスタの共通接続されたゲートと前記低駆動電圧との間に接続された第1のスイッチと、前記第1のPMOSトランジスタの前記ドレインと前記低駆動電圧との間に接続された第1の定電流源と、前記アナログバッファの入力と前記第1のPMOSトランジスタのソースとの間に接続された第2のスイッチと、前記アナログバッファの入力と前記高駆動電圧との間に接続された第3のスイッチと、前記第2のPMOSトランジスタのドレインと前記低駆動電圧との間に接続された第4のスイッチと、前記第2のPMOSトランジスタの前記ソースと前記高駆動電圧との間に直列に接続された第2の定電流源と第5のスイッチとを具備しており、前記第1の駆動回路が動作するとき、前記第1から第5のスイッチの全てが開状態にある状態から、最初に前記第1のスイッチが閉じられて、前記第1と第2のPMOSトランジスタの共通接続されたゲートを前記低駆動電圧にプリチャージし、次いで、前記第1のスイッチを開放した後、前記第2及び第3のスイッチを閉じ、その後、前記第4及び第5のスイッチを閉じるように、前記第1から第5のスイッチが制御されることを特徴とする請求項6に記載のパネル表示装置のデータ線駆動回路。

【請求項8】 前記第2の駆動回路は、ゲートとドレインとが互いに接続された第1のNMOSトランジスタと、前記第1のNMOSトランジスタの前記ゲートにゲートが共通接続され、ソースが前記アナログバッファの出力に接続された第2のNMOSトランジスタと、前記第1と第2のNMOSトランジスタの共通接続されたゲ

ートと前記高駆動電圧との間に接続された第6のスイッチと、前記第1のNMOSトランジスタの前記ドレインと前記高駆動電圧との間に接続された第3の定電流源と、前記アナログバッファの入力と前記第1のNMOSトランジスタのソースとの間に接続された第7のスイッチと、前記アナログバッファの入力と前記低駆動電圧との間に接続された第8のスイッチと、前記第2のNMOSトランジスタのドレインと前記高駆動電圧との間に接続された第9のスイッチと、前記第2のNMOSトランジスタの前記ソースと前記低駆動電圧との間に直列に接続された第4の定電流源と第10のスイッチとを具備しており、前記第2の駆動回路が動作するとき、前記第6から第10のスイッチの全てが開状態にある状態から、最初に前記第6のスイッチが閉じられて、前記第1と第2のNMOSトランジスタの共通接続されたゲートを前記高駆動電圧にプリチャージし、次いで、前記第6のスイッチを開放した後、前記第7及び第8のスイッチを閉じ、その後、前記第9及び第10のスイッチを閉じるように、前記第6から第10のスイッチが制御されることを特徴とする請求項7に記載のパネル表示装置のデータ線駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、パネル表示装置のデータ線駆動回路に係わるものであり、TFT-LCD（薄膜トランジスタ駆動式液晶ディスプレイ）などの液晶表示装置やアクティブマトリクス駆動有機ELディスプレイに代表されるパネル表示装置を低電力消費で駆動できる、パネル表示装置のデータ線駆動回路に係わるものである。

【0002】

【従来の技術】 現在、液晶表示装置は様々な分野で利用されている。液晶表示装置が携帯機器に組み込まれる場合、充電することなく携帯機器が連続して利用できる時間を長くできるように、携帯機器の消費電力をできる限り少なくすることが求められ、その一環として、液晶表示装置の消費電力をできる限り少なくすることも求められている。そのために、様々な省電力対策が提案され、あるものは実施されている。

【0003】 PDA、携帯ゲーム機器、携帯電話などの手持ち式の携帯機器に組み込まれている液晶表示装置は、表示画面の寸法が比較的小さく、それに伴い、画素数も少ない。小型で画素数も少ないTFT-LCDパネルを駆動する場合、水平走査周波数も低く、TFT-LCDパネルの負荷容量も小さいため、液晶表示装置のデータ線駆動回路の消費電力において出力バッファの静消費電力の占める割合が大きい。

【0004】 簡単に説明するならば、TFT-LCDパネルのデータ線駆動回路の消費電力は、TFT-LCDパネルのデータ線を充電するために必要な電力と、デ

ータ線駆動回路自体で消費される電力とに分けられる。小型で画素数も少ないTFT-LCDパネルの場合、データ線の負荷容量も小さいため、データ線を充電するために必要な電力も小さい。その結果、TFT-LCDパネルのデータ線駆動回路の全消費電力の内、データ線駆動回路自体で消費される電力の割合が高く、そして、データ線駆動回路自体で消費される電力の内、出力バッファの静消費電力の占める割合が大きい。同様な問題は、液晶表示装置に限らず、アクティブマトリクス駆動有機ELディスプレイなどの他のパネル表示装置が小型の場合にも、その階調電圧でデータ線を駆動するデータ線駆動回路において、発生する。

【0005】 ここで、従来の液晶表示装置のデータ線駆動回路を見るならば、特開平7-13528号公報及び特開平7-104703号公報は、LCDパネルを時分割駆動することを提案している。しかし、この構成は、LCDパネルと、それとは別体のコラムドライバ回路との間の外部配線数を削減するためのものである。

【0006】 更に、これら公報のデータ線駆動回路は、指定された駆動電圧にデータ線を駆動する前に、例えばハイレベルに対応する固定電圧に全データ線を一斉に且つ一旦プリチャージし、その後、プリチャージされた各データ線を、それぞれ指定された駆動電圧まで放電するように構成されている。これは、データ線の充電時間よりもデータ線の放電時間の方が短いという認識に基づくものであり、この手順により、データ線を指定駆動電圧に駆動する時間を短縮可能であると考えている。しかし、指定駆動電圧に係りなく全データ線を例えばハイレベルの固定電圧に一斉にプリチャージするので、指定駆動電圧がロウレベルに近い場合、プリチャージせずにデータ線を指定駆動電圧に駆動する場合より、指定駆動電圧に駆動する時間がむしろ長くなる可能性がある。

【0007】 また、特開平7-173506号公報は、デジタル-アナログ変換器の出力を時分割的にデータラインに供給することを提案している。しかし、この構成は、画素数の増大に伴って生じるデータ線駆動回路全体の大型化を解消するためのものであり、低電力消費化を目的とするものではない。

【0008】 更に、特開平7-173506号公報は、第2発明として、駆動出力電圧が中間駆動電圧以上の場合にはデータ線を最大駆動電圧にプリチャージし、駆動出力電圧が中間駆動電圧以下の場合にはデータ線を最小駆動電圧にプリチャージすることを提案している。しかし、そのようなプリチャージ電圧の選択方法については具体的な開示が全くない。

【0009】 また、特開平11-119741号公報は、隣接するデータ線的一方を、最大駆動電圧にプリチャージした後、電流吸い込み能力の高いオペアンプで指定駆動電圧に駆動し、隣接するデータ線の他方を、最小駆動電圧にプリチャージした後、電流吐き出し能力の高

いオペアンプで指定駆動電圧に駆動して、対向電極の電圧変動を抑制して、表示むらを低減することを提案している。この発明では、同一のデータ線は、指定駆動電圧に係りなく、最大駆動電圧か最小駆動電圧の何れか一方の固定電圧に常にプリチャージされることになる。

【0010】

【発明が解決しようとする課題】 以上挙げた従来例はいずれも、液晶表示装置のデータ線駆動回路における出力バッファの静消費電力を削減することを意図するものではない。このように、液晶表示装置のデータ線駆動回路における出力バッファの静消費電力を削減することにより、液晶表示装置の電力消費を削減する液晶表示装置のデータ線駆動回路は従来なかった。そこで、本発明は、液晶表示装置のようなパネル表示装置のデータ線駆動回路における出力バッファの静消費電力を削減することにより、パネル表示装置を低電力消費で駆動できる、パネル表示装置のデータ線駆動回路を提供せんとするものである。

【0011】

【課題を解決するための手段】 本発明の第1の特徴によるならば、パネル表示装置のデータ線駆動回路は、パネル表示装置の多数のデータ線の内の各複数のデータ線にそれぞれ対応した複数の電圧を受ける選択手段と、前記選択手段により択一的に選択された電圧を受けて出力する、複数のデータ線に共通して設けられたアナログバッファと、前記アナログバッファの出力を受けて前記複数のデータ線の1つに択一的に分配する分配手段と、前記多数のデータ線の各々毎に設けられ、対応するデータ線に対応するデジタルデータの少なくとも最上位ビット信号に従って、対応するデータ線を高駆動電圧と低駆動電圧の何れか一方にプリチャージするプリチャージ手段と、前記選択手段と前記分配手段と前記プリチャージ手段とを制御する制御手段とを具備しており、プリチャージ期間とそれに続く複数の書き込み期間とからなる各走査線選択期間において、前記制御手段は、前記プリチャージ期間において、前記アナログバッファの出力を前記複数のデータ線の全てから切り離すように前記分配手段を制御し、前記プリチャージ手段の全てを動作させて前記複数のデータ線の全てをプリチャージし、前記複数の書き込み期間において、前記プリチャージ手段の全てを不動作状態にする一方、前記選択手段と前記分配手段を制御して、前記複数の書き込み期間の内の第1の書き込み期間において、前記複数のデータ線の内の第1のデータ線に対応する電圧を前記アナログバッファに供給し、前記アナログバッファの出力を前記第1のデータ線に供給し、前記複数の書き込み期間の内の第2の書き込み期間において、前記複数のデータ線の内の第2のデータ線に対応する電圧を前記アナログバッファに供給し、前記アナログバッファの出力を前記第2のデータ線に供給することを特徴とする。

【0012】 本発明の第2の特徴によるならば、パネル表示装置のデータ線駆動回路において、1走査線分のデジタルデータをP個のブロックに分け（ここで、Pは2以上の整数）、同様に、多数のデータ線をP個のブロックに分け、更に、データ線駆動回路は、前記P個のブロックの各ブロックのデジタルデータの少なくとも最上位ビット信号を、ブロックごとにラッチする第1のデータラッチと、前記P個のブロックの各ブロックのデジタルデータを、ブロックごとにラッチする第2のデータラッチと、前記第2のデータラッチから出力されるデジタルデータを受けてD/A変換して、対応するアナログ階調電圧を出力するD/A変換器と、前記D/A変換器から出力される前記アナログ階調電圧を受けて出力する、P個のデータ線に共通して設けられたアナログバッファと、前記アナログバッファの出力を受けて前記P個のデータ線の1つに択一的に分配する分配手段と、前記多数のデータ線の各々毎に設けられ、対応するデータ線に対応するデジタルデータの少なくとも最上位ビット信号に従って、対応するデータ線を高駆動電圧と低駆動電圧の何れか一方にプリチャージするプリチャージ手段と、前記第1及び第2のデータラッチと前記分配手段と前記プリチャージ手段とを制御する制御手段とを具備しており、前記制御手段は、各走査線選択期間の第1の期間において、前記第1のデータラッチに保持された前記第1のブロックのデジタルデータの少なくとも最上位ビット信号に従って、前記プリチャージ手段により、前記第1のブロックのデータ線の各々を高駆動電圧と低駆動電圧の何れか一方にプリチャージし、各走査線選択期間の第2の期間において、前記第2のデータラッチに保持された前記第1のブロックのデジタルデータが前記D/A変換器によりD/A変換され前記アナログバッファを介して出力された電圧を、前記分配手段により、前記第1のブロックのデータ線に供給し、並行して、前記第1のデータラッチに保持された前記第2のブロックのデジタルデータの最上位ビット信号に従って、前記プリチャージ手段により、前記第2のブロックのデータ線の各々を高駆動電圧と低駆動電圧の何れか一方にプリチャージし、各走査線選択期間の第3の期間において、前記第2のデータラッチに保持された前記第2のブロックのデジタルデータが前記D/A変換器によりD/A変換され前記アナログバッファを介して出力された電圧を、前記分配手段により、前記第2のブロックのデータ線に供給することを特徴とする。

【0013】 前記1走査線分のデジタルデータのP個のブロックは、例えば、その第1のブロックが前記1走査線分のデジタルデータの1番目のデジタルデータからP個毎のデジタルデータからなり、その第2のブロックが前記1走査線分のデジタルデータの2番目のデジタルデータからP個毎のデジタルデータからなり、この場合、前記多数のデータ線のP個のブロックは、その第1

のブロックが前記多数のデータ線の1番目のデータ線からP個毎のデータ線からなり、その第2のブロックが2番目のデータ線からP個毎のデータ線からなる。しかし、デジタルデータとデータ線のP個のブロックへの振り分け方は、これに限定されることなく、様々な態様が考えられることは当業者には明らかであろう。

【0014】

【作用】 本発明によるならば、パネル表示装置の多数のデータ線1つ1つ毎にアナログバッファを設ける必要がなくなり、2つのデータ線ごとに1つのアナログバッファを設けるならば、アナログバッファの数を半減することができ、3つのデータ線ごとに1つのアナログバッファを設けるならば、アナログバッファの数を1/3に削減することができる。P本のデータ線ごとに1つのアナログバッファを設けるならば、アナログバッファの数を1/Pに削減することができる。

【0015】 アナログバッファは、動作を維持するための定常的なアイドル電流（静消費電流）を通常必要とするが、アナログバッファの数を削減することにより、削減したアナログバッファの静消費電流分だけ消費電力を削減することができる。それに伴い、所要面積も削減できる。

【0016】 更に、アナログバッファを、本発明者が特願平11-145768号において開示したようなデータ線駆動回路で構成した場合、アナログバッファ自体のアイドル電流を低く抑えても高速動作が可能であるので、更に低消費電力のアナログバッファを実現することができる。

【0017】 更に、階調電圧を出力する前に必ずプリチャージをする場合、アナログバッファは、1走査線選択期間内に、プリチャージと階調電圧出力とを行なうこととなる。この動作を複数のデータ線のために時分割で行なうと、プリチャージも複数回必要になる。しかし、本発明では、プリチャージと階調電圧出力とを独立させ、複数のデータ線のために必要なプリチャージを同時に行い、階調電圧出力のみを時分割で行なうか、又は、プリチャージも階調電圧出力も時分割で行なうが、第1のブロックのデータ線のプリチャージのみ単独でおこない、第2のブロック以降のブロックのプリチャージは、その前のブロックのデータ線への階調電圧出力と並行して同時に行なう。従って、プリチャージと階調電圧出力とからなる1データ線駆動を単純に時分割して行なう場合に比較して、プリチャージ期間も階調電圧出力期間も長くすることができる。

【0018】 また、各データ線のプリチャージ電圧は、当該データ線に書き込むべき出力階調電圧を表すデジタルデータの最上位ビット信号と極性信号により決定される。中央階調より高電位の階調電圧に対しては高駆動電圧、中央階調より低電位の階調電圧に対しては低駆動電圧である。ただし中央階調電圧が駆動電圧範囲の中

央値から大きくずれている場合には、プリチャージ電圧が駆動電圧範囲の中央付近となるように上位数ビットのデジタル信号も含めてプリチャージ電圧が決定される。従って、アナログバッファがアナログ階調電圧を出力するとき、アナログバッファがデータ線に電荷を供給して電圧を引き上げる幅およびアナログバッファがデータ線から電荷を引き抜いて電圧を引き下げる幅は、高駆動電圧と低駆動電圧との電圧差のほぼ半分以下にできるので、データ線へのアナログ階調電圧の書き込み時間を短縮することができる。ここで、駆動電圧は電源電圧範囲を越えることは一般にないので、上記した「高駆動電圧」と「低駆動電圧」は、通常、電源電圧の最大値VDDと最小値VSSとなる。しかし、「高駆動電圧」が、電源電圧の最大値VDDより少し低い電圧でも、「低駆動電圧」は、電源電圧の最小値VSSより少し高い電圧でもよい。また、プリチャージ電圧が、電源電圧の最大値VDDと最小値VSSを含む複数の電圧であってもよく、この場合にも、最上位ビットを含む上位数ビットのデジタル信号によりプリチャージ電圧を選択する。

【0019】

【発明の実施の形態】以下、本発明を液晶表示装置に適用した実施例を添付図面を参照して説明する。図1は、本発明によるデータ線駆動回路を実施したコモン反転駆動式のデータドライバの構成を示すブロック図である。図1に示すように、TFT-LCD表示装置のための本発明によるデータ線駆動回路は、クロックCLKを受けてデータをとり込むタイミングを発生するシフトレジスタ10と、シリアルに送られてくるデジタルデータを受けてシフトレジスタ10のタイミングに応じて順次取り込むと共に、同様にシフトレジスタ10のタイミングに応じて、取り込んだデータをパラレルに出力するデータレジスタ12と、データレジスタ12からパラレルに出力されたデータを受けてラッチするデータラッチ14と、データラッチ14からパラレルにデータを受けるD/A変換器16と、そのD/A変換器16に階調電圧を供給する階調電圧発生回路18とを具備している。

【0020】更に、データ線駆動回路は、D/A変換器16の出力を受ける選択回路(切替回路)20と、切替回路20の出力を受けるアナログバッファ群22と、そのアナログバッファ群22の出力を受け、TFT-LCDのTFTアレイ(画素アレイ)28のデータ線30i(i=1からK)のそれぞれに接続された分配回路(切替回路)24と、各データ線30iを最大駆動電圧VDDと最小駆動電圧VSSの何れか一方にプリチャージするプリチャージ回路26とを具備している。ここで、データ線30i(i=1からK)は、301、302、303、304、・・・、30Kの順番に配列されている。従って、データ線302は、データ線301とデータ線303との間に、データ線301とデータ線303とに隣接して位置している。

【0021】TFT-LCDのTFTアレイ28においては、多数の画素電極が、多数の行と多数の列とに配列されており、各画素電極と対向電極との間に挟まれた液晶により各画素容量32が形成されている。各画素容量32の画素電極は、付属するスイッチングトランジスタ(TFT)34のドレインに接続されている。各行のスイッチングトランジスタ34のゲートは、対応する行選択線36に接続され、各列のスイッチングトランジスタ34のソースは、対応するデータ線(列選択線)30iに接続されている。行選択線36は、行選択ドライバ(不図示)により選択的に駆動される。また対向電極には極性信号POLに応じて反転するコモン電圧Vcomが印加されている。

【0022】次に、選択回路20と、アナログバッファ群22と、分配回路24の構成を、1つのアナログバッファ22Aを例に取り上げて、説明する。

【0023】図示の実施例においては、D/A変換器16の出力は、選択回路20において、3つの出力毎に纏められて、3つのスイッチを介して、アナログバッファ群22内の1つのアナログバッファに択一的に入力される。データ線301に対応するD/A変換器16の出力V1は、選択回路20内のスイッチ201を介してアナログバッファ22Aの入力に接続されている。データ線302に対応するD/A変換器16の出力V2は、スイッチ202を介して同じアナログバッファ22Aの入力に接続されている。更に、データ線303に対応するD/A変換器16の出力V3は、スイッチ203を介して同じアナログバッファ22Aの入力に接続されている。例えば、データ線がK本あると仮定すると、データ線30(3j-2)、データ線30(3j-1)及びデータ線30(3j)に対応するD/A変換器16の3つの出力が、選択回路20により択一的に1つのアナログバッファの入力に供給される。ここで、j=1からM(但し、M=K/3であり、K/3が整数でないときには、K/3の小数点以下を切り上げた整数)である。なお、K/3が整数でないときには、Kより大きい(3j-1)及び/又は(3j)は存在しない。

【0024】分配回路24においては、アナログバッファ22Aの出力が、スイッチ241を介してデータ線301に接続され、スイッチ242を介してデータ線302に接続され、スイッチ243を介してデータ線303に接続されている。従って、データ線30(3j-2)、データ線30(3j-1)及びデータ線30(3j)に対応するD/A変換器16の3つの出力を選択回路20を介して択一的に受ける1つのアナログバッファの出力は、分配回路24を介して、データ線30(3j-2)、データ線30(3j-1)及びデータ線30(3j)に択一的に分配される。

【0025】そして、選択回路20のスイッチ群と分配回路24のスイッチ群は、制御回路40によりオンオ

フ制御される。具体的には、スイッチ20(3j-2)とスイッチ24(3j-2)(例えば、スイッチ201とスイッチ241)とが、制御回路40からのスイッチ制御信号S1により、一緒にオン状態になり、一緒にオフ状態になるように制御される。そして、スイッチ20(3j-1)とスイッチ24(3j-1)(例えば、スイッチ202とスイッチ242)とが、制御回路40からのスイッチ制御信号S2により、一緒にオン状態になり、一緒にオフ状態になるように制御される。同様に、スイッチ20(3j)とスイッチ24(3j)(例えば、スイッチ203とスイッチ243)とが、制御回路40からのスイッチ制御信号S3により、一緒にオン状態になり、一緒にオフ状態になるように制御される。

【0026】 プリチャージ回路26において、各データ線30iがスイッチ26i(i=1からK)を介して最大駆動電圧VDDと最小駆動電圧VSSに択一的に接続されている。スイッチ26iは、データ線30iを最大駆動電圧VDDに接続する状態と、データ線30iを最小駆動電圧VSSに接続する状態と、データ線30iを最大駆動電圧VDDと最小駆動電圧VSSの両方から切り離す状態との3つの状態をとることができる。そして、各スイッチ26iは、制御回路40からのプリチャージ信号S0と、コモン反転駆動を制御する極性信号POLと、データラッチ14からD/A変換器16に供給される各データ線に対応するデジタルデータの最上位ビット信号D0i(i=1からK)とにより、制御される。具体的には、スイッチ26iは、プリチャージ信号S0がアクティブなとき、デジタルデータの最上位ビット信号D0iと極性信号POLとに従って、データ線30iを最大駆動電圧VDDと最小駆動電圧VSSの何れかに接続する。スイッチ26iは、プリチャージ信号S0がインアクティブなとき、デジタルデータの最上位ビット信号D0iと極性信号POLとに係りなく、データ線30iを最大駆動電圧VDDと最小駆動電圧VSSの両方から切り離す。なお本実施例では、各スイッチ26iの制御に寄与するデジタルデータが最上位ビット信号D0iだけの場合について説明するが、最上位ビット信号D0iを含む上位数ビットにより各スイッチ26iを制御することも可能である。

【0027】 また、極性信号POLは、階調電圧発生回路18にも供給され、コモン電圧Vcomの反転に応じて階調電圧全体も反転させる。このようなコモン反転駆動の制御においては、同じデジタルデータに対してもデータ線に出力される電圧値は極性信号により変化する。液晶表示装置におけるコモン反転駆動自体は、当業者に周知であるので、極性信号POLを含めてコモン反転駆動の説明は本明細書では最小限に止める。

【0028】 次に、図1に示すデータ線駆動回路の動作を図解するタイミングチャートを示す図2を参照して、図1に示すデータ線駆動回路の動作を説明する。図

2は、極性信号POLが「1」(ハイレベル)で非反転状態の場合におけるアナログバッファの出力電圧と、極性信号POLが「0」(ローレベル)で反転状態の場合におけるアナログバッファの出力電圧とを図示しているが、最初に、極性信号POLが「1」(ハイレベル)で非反転状態の場合の動作を説明する。なお極性信号POLが「1」(ハイレベル)で非反転状態の場合におけるコモン電圧Vcomは最小駆動電圧VSSに等しく、極性信号POLが「0」(ローレベル)で反転状態の場合におけるコモン電圧Vcomは最大駆動電圧VDDに等しいとする。

【0029】 1走査線(ゲート線)選択期間に出力する全データが、データレジスタ12からデータラッチ14に送られてラッチされ、そのラッチされている1走査線分のK個のデジタルデータが、階調電圧発生回路18から階調電圧を受けるD/A変換器16において、K個のアナログ電圧Vi(i=1からK)に変換される。極性信号POLが「1」(ハイレベル)で、コモン反転駆動が非反転状態の場合、階調電圧発生回路18は、デジタルデータの最小値が最小駆動電圧VSSに対応し、デジタルデータの最大値が最大駆動電圧VDDに対応するような階調電圧をD/A変換器16に出力する。従って、図2に示すように、デジタルデータの最上位ビットが「1」の場合、例えばD01=1の場合、アナログ電圧V1は、中間電圧Vm以上の高い電圧となり、デジタルデータの最上位ビットが「0」の場合、例えばD02=0やD03=0の場合、アナログ電圧V2及びV3は、中間電圧Vm未満の低い電圧となる。ここで中間電圧Vmは駆動電圧範囲の中央付近の電圧であり、中央階調電圧と一致していてもよい。

【0030】 一方、行選択ドライバ(不図示)により、N番目のゲート信号がアクティブされ、N番目の行選択線36が択一的に駆動され、そのN番目の行選択線36にゲートが接続されているN番目行の全スイッチングトランジスタ34がオン状態に置かれる。それ以外の行のスイッチングトランジスタ34がオフ状態に維持される。

【0031】 図1に示すように、1つのアナログバッファが、3つのデータ線ごとに1つの割合で設けられている場合には、1走査線選択期間は、図2に示すように、1つのプリチャージ期間と3つの書き込み期間からなる。そこで、説明の簡略化のため、データ線301からデータ線303に関連する部分のみを説明する。データ線304以降の部分の動作は、当業者には、データ線301からデータ線303に関連する部分の動作から理解される筈である。

【0032】 図2に示すように、1走査線選択期間の最初はプリチャージ期間であり、そのプリチャージ期間において、制御回路40は、プリチャージ信号S0をアクティブにし、スイッチ制御信号S1、S2、S3をイ

ンアクティブ状態に維持する。その結果、プリチャージ回路 26 は、D/A 変換器 16 介して受けた各データ線のデジタルデータの最上位ビット信号 D0i と極性信号 POL とに従って、データ線 30i を最大駆動電圧 VDD と最小駆動電圧 VSS の何れかに接続し、データ線 30i をプリチャージする。

【0033】 上述したように極性信号 POL が非反転を示している場合には、例えば、データ線 301 に対応するデジタルデータの最上位ビット信号 D01 が「1」であったとき、すなわち、そのデジタルデータを D/A 変換して得られるアナログ電圧 V1 が、最大駆動電圧 VDD と最小駆動電圧 VSS との間の中間電圧 Vm 以上のとき、プリチャージ回路 26 のスイッチ 261 は最大駆動電圧 VDD に接続されて、データ線 301 は最大駆動電圧 VDD にプリチャージされる。また、データ線 302 に対応するデジタルデータの最上位ビット信号 D02 が「0」であったとき、すなわち、そのデジタルデータを D/A 変換して得られるアナログ電圧 V2 が、最大駆動電圧 VDD と最小駆動電圧 VSS との間の中間電圧 Vm 未満のとき、プリチャージ回路 26 のスイッチ 262 は最小駆動電圧 VSS に接続されて、データ線 302 は最小駆動電圧 VSS にプリチャージされる。更に、データ線 303 に対応するデジタルデータの最上位ビット信号 D03 が「0」であったとき、プリチャージ回路 26 のスイッチ 263 は最小駆動電圧 VSS に接続されて、データ線 303 は最小駆動電圧 VSS にプリチャージされる。このようにして、プリチャージ期間において、データ線 301 からデータ線 30K までの全データ線の各々が、そのデータ線に書き込むべきアナログ電圧 Vi に近い最大駆動電圧 VDD または最小駆動電圧 VSS にプリチャージされる。

【0034】 プリチャージ期間に続く 3 つの書き込み期間において、図 2 に示すように、制御回路 40 は、プリチャージ信号 S0 をインアクティブ状態に維持する一方、スイッチ制御信号 S1、S2、S3 を順次アクティブ状態にする。その結果、プリチャージ終了後、全データ線 30i は、最大駆動電圧 VDD と最小駆動電圧 VSS ととも切り離され、デジタルデータを D/A 変換して得られるアナログ電圧 Vi を書き込み可能となる。プリチャージ期間に続く最初の書き込み期間において、制御回路 40 は、スイッチ制御信号 S1 をアクティブにする一方、スイッチ制御信号 S2、S3 をインアクティブ状態に維持する。その結果、選択回路 20 のスイッチ 201 と分配回路 24 のスイッチ 241 とが閉じ、スイッチ 202、203 とスイッチ 242、243 は開状態に維持される。従って、データ線 301 に対応するデジタルデータを D/A 変換器 16 が変換して得られるアナログ電圧 V1 がアナログバッファ 22A に入力され、そのアナログバッファ 22A の出力が、スイッチ 241 を介してデータ線 301 に接続され、データ線 301 に出力

階調電圧 V1 が書き込まれる。

【0035】 上述した例では、データ線 301 は最大駆動電圧 VDD にプリチャージされており、データ線 301 に対応するデジタルデータを D/A 変換して得られるアナログ電圧 V1 が、最大駆動電圧 VDD と最小駆動電圧 VSS との間の中間電圧 Vm 以上であるので、アナログバッファ 22A は、最大駆動電圧 VDD にプリチャージされているデータ線 301 から電荷を引き抜いて、データ線 301 をアナログ出力階調電圧 V1 に書き込む。

【0036】 2 番目の書き込み期間において、制御回路 40 は、スイッチ制御信号 S1 をインアクティブにし、スイッチ制御信号 S2 をアクティブにする一方、スイッチ制御信号 S3 をインアクティブ状態に維持する。その結果、スイッチ 201 とスイッチ 241 とが開き、スイッチ 202 とスイッチ 242 とが閉じ、スイッチ 203 とスイッチ 243 は開状態に維持される。従って、データ線 302 に対応するデジタルデータを D/A 変換器 16 が変換して得られるアナログ電圧 V2 がアナログバッファ 22A に入力され、そのアナログバッファ 22A の出力が、スイッチ 242 を介してデータ線 302 に接続され、データ線 302 に出力階調電圧 V2 が書き込まれる。

【0037】 上述した例では、データ線 302 は最小駆動電圧 VSS にプリチャージされており、データ線 302 に対応するデジタルデータを D/A 変換して得られるアナログ電圧 V2 が、最大駆動電圧 VDD と最小駆動電圧 VSS との間の中間電圧 Vm 未満であるので、アナログバッファ 22A は、最小駆動電圧 VSS にプリチャージされているデータ線 302 に電荷を供給して、データ線 302 をアナログ出力階調電圧 V2 に書き込む。

【0038】 3 番目の書き込み期間において、制御回路 40 は、スイッチ制御信号 S1 をインアクティブ状態に維持し、スイッチ制御信号 S2 をインアクティブにし、スイッチ制御信号 S3 をアクティブにする。その結果、スイッチ 201 とスイッチ 241 は開状態に維持され、スイッチ 202 とスイッチ 242 とが開き、スイッチ 203 とスイッチ 243 とが閉じる。従って、データ線 303 に対応するデジタルデータを D/A 変換器 16 が変換して得られるアナログ電圧 V3 がアナログバッファ 22A に入力され、そのアナログバッファ 22A の出力が、スイッチ 243 を介してデータ線 303 に接続され、データ線 303 に出力階調電圧 V3 が書き込まれる。

【0039】 上述した例では、データ線 303 は最小駆動電圧 VSS にプリチャージされており、データ線 303 に対応するデジタルデータを D/A 変換して得られるアナログ出力階調電圧 V3 が、最大駆動電圧 VDD と最小駆動電圧 VSS との間の中間電圧 Vm 未満であるので、アナログバッファ 22A は、最小駆動電圧 VSS に

プリチャージされているデータ線 303 に電荷を供給して、データ線 303 をアナログ出力階調電圧 V3 に書き込む。

【0040】 図2に示すように、次の1走査線選択期間、行選択ドライバ（不図示）により、N番目のゲート信号がインアクティブされ、(N+1)番目のゲート信号がアクティブされ、(N+1)目の行選択線36が選択的に駆動される。この場合の1走査線選択期間にも、制御回路40により、プリチャージ信号S0及びスイッチ制御信号S1、S2、S3が同様に制御される。

【0041】 以上説明した動作例は、極性信号POLが「1」（ハイレベル）で、コモン反転駆動が非反転状態の場合である。次に極性信号POLが「0」（ローレベル）で、コモン反転駆動が反転状態の場合について説明する。このときコモン電圧Vcom'は、最大駆動電圧VDDであり、階調電圧発生回路18は階調電圧全体を反転させ、デジタルデータの最小値が最大駆動電圧VDDに対応し、デジタルデータの最大値が最小駆動電圧VSSに対応するような階調電圧をD/A変換器16に出力する。従って、図2に示すように、デジタルデータの最上位ビットが「1」の場合、例えばD01=1の場合、アナログ電圧V1'は、中間電圧Vm'未満の低い電圧となり、デジタルデータの最上位ビットが「0」の場合、例えばD02=0やD03=0の場合、アナログ電圧V2'及びV3'は、中間電圧Vm'以上の高い電圧となる。そして、このようにデータ線301に対応するデジタルデータの最上位ビット信号D01が「1」であったときは、そのデジタルデータをD/A変換して得られるアナログ電圧V1'が、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm'未満となるので、プリチャージ回路26のスイッチ261は最小駆動電圧VSSに接続されて、データ線301は最小駆動電圧VSSにプリチャージされる。また、データ線302に対応するデジタルデータの最上位ビット信号D02が「0」であったときには、そのデジタルデータをD/A変換して得られるアナログ電圧V2'が、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm'以上となるので、プリチャージ回路26のスイッチ262は最大駆動電圧VDDに接続されて、データ線302は最大駆動電圧VDDにプリチャージされる。更に、データ線303に対応するデジタルデータの最上位ビット信号D03が「0」であったときには、プリチャージ回路26のスイッチ263は最大駆動電圧VDDに接続されて、データ線303は最大駆動電圧VDDにプリチャージされる。以上を除き、極性信号POLが「0」（ローレベル）で、コモン反転駆動が反転状態の場合の動作は、極性信号POLが「1」（ハイレベル）で、コモン反転駆動が非反転状態の場合の動作と同一であるので、説明を省略する。

【0042】 アナログバッファは、動作を維持するた

めの定常的なアイドル電流（静消費電流）を通常必要とするが、アナログバッファの数を削減することにより、削減したアナログバッファの静消費電流分だけ消費電力を削減することができる。例えば、1水平線が240画素からなる場合、データ線は240本となり、各データ線ごとに1つのアナログバッファを設ける場合には、240のアナログバッファが必要になるが、上記した実施例のように、3つのデータ線ごとに1つのアナログバッファを共通に設ける場合には、80のアナログバッファで足りる。

【0043】 図1に示した実施例を、3本以外の複数本のデータ線ごとに1つのアナログバッファを共通に設けるように変更できることは、当業者には明らかであろう。そして、そのような変更は、当業者であれば、上記した実施例の説明から容易に実現できるであろう。例えば、2つのデータ線ごとに1つのアナログバッファを設けるならば、データ線は240本の場合には、120のアナログバッファで足りる。4つのデータ線ごとに1つのアナログバッファを設けるならば、データ線は240本の場合には、60のアナログバッファで足りる。

【0044】 このように、複数本のデータ線ごとに1つのアナログバッファを共通に設けることにより、アナログバッファ全体の静消費電流分が大幅に削減でき、結果として、データ線駆動回路の消費電力が大幅に削減できることが理解できよう。アナログバッファの削減に伴い、所要面積も削減できる。

【0045】 また、上記した実施例では、各走査線選択期間の最初のプリチャージ期間に、全データ線を一斉にプリチャージする。一方、各走査線選択期間のプリチャージ期間に続く3つの連続する書き込み期間において、3つのデータ線に1つのアナログバッファから順次アナログ階調電圧が時分割出力される。このようにすることにより、各書き込み期間の直前にプリチャージするように走査線選択期間を割り振る場合に比べて、1走査線選択期間内に占めるプリチャージ期間の割合を小さくでき、その結果、1走査線選択期間内の各書き込み期間の長さを十分に確保できる。更に、必要ならば、各書き込み期間の長さだけでなく、プリチャージ期間の長さも長くできる。

【0046】 更に、各走査線選択期間のプリチャージ期間において、プリチャージ回路が、全データ線一斉に、各データ線を最大駆動電圧VDDまたは最小駆動電圧VSSに択一的にプリチャージする。そのプリチャージ電圧は、当該データ線に書き込むべき出力階調電圧を表すデジタルデータの最上位ビット信号（D01からD0K）と、極性信号POLとにより、各データ線ごとに決定される。プリチャージ期間に続く3つの連続する書き込み期間において、3つのデータ線に1つのアナログバッファから順次アナログ階調電圧が時分割出力される。従って、アナログバッファがデータ線に電荷を供給

して電圧を引き上げる幅およびアナログバッファがデータ線から電荷を引き抜いて電圧を引き下げる幅は、最大駆動電圧VDDと最小駆動電圧VSSとの電圧差の半分以下にできるので、データ線へのアナログ階調電圧の書き込み時間を短縮できる。

【0047】 更に、上記した実施例では、プリチャージ期間を各走査線選択期間内に設けることにより、全データ線のみならず選択走査線に接続される各画素容量も択一的にプリチャージする。これは、例えばプリチャージ期間にデータ線を最大駆動電圧VDDにプリチャージをして、書き込み期間にアナログバッファによりデータ線から電荷を引き抜いて電圧を引き下げることにより階調電圧を画素容量に書き込む場合、電流吸い込み能力が高く電流吐出し能力が低いアナログバッファでは、画素容量も階調電圧付近までプリチャージされていないと階調電圧を画素容量に正確に書き込むことができないからである。したがって、プリチャージ期間を各走査線選択期間内に設け、データ線のみならず選択走査線に接続される各画素容量も択一的にプリチャージすることにより、電流吸い込み能力と電流吐出し能力に差のあるアナログバッファを用いる場合でも、書き込み期間におけるアナログ階調電圧の各画素容量への書き込みを高精度かつ速やかに行うことができる。

【0048】 ここで、図1に示す実施例では、隣接するデータ線に対して順次アナログ階調電圧が時分割出力されるので、通常のマルチプレックス方式より配線面積を小さくできる。更に、1走査線分の全デジタルデータがデータラッチに取り込まれているので、データの並べ替えも不要である。

【0049】 また、各データ線に実際に書き込むべきアナログ出力階調電圧に応じて、各データ線を最大駆動電圧VDD又は最小駆動電圧VSSに択一的にプリチャージするので、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm以上のアナログ出力階調電圧をデータ線に実際に書き込むべきときは、最大駆動電圧VDDにプリチャージされたデータ線から電荷を引き抜く結果になる。従って、電流吸い込み能力の高い駆動回路をアナログバッファとして使用するならば、最大駆動電圧VDDからアナログ出力階調電圧に迅速に引き下げることができる。一方、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm未満のアナログ出力階調電圧をデータ線に実際に書き込むべきときは、最小駆動電圧VSSにプリチャージされたデータ線に電荷を供給する結果になる。従って、電流吐き出し能力の高い駆動回路をアナログバッファとして使用するならば、最小駆動電圧VSSからアナログ出力階調電圧に迅速に引き上げることができる。

【0050】 従って、アナログバッファとして、電流吸い込み能力の高い駆動回路と電流吐き出し能力の高い駆動回路とを並列して設け、択一的に使用することによ

り、各データ線にアナログ出力階調電圧を更に迅速に書き込むことができる。ここで、その電流吸い込み能力の高い駆動回路と電流吐き出し能力の高い駆動回路とを並列して設けたるアナログバッファとして、本件発明者が特願平11-145768号で提案した駆動回路を使用すれば、アナログバッファ自体の静消費電流を削減することができる。

【0051】 図3は、特願平11-145768号に開示されている駆動回路に基づいて構成されたアナログバッファとプリチャージ回路の回路図である。図3は、図1に示すアナログバッファ22Aとスイッチ261、262、263に相当する部分を示す。図示の回路は、電流吐き出し能力の高い駆動回路100と電流吸い込み能力の高い駆動回路200とから構成される。

【0052】 プリチャージ回路26において各スイッチ26iは、データ線30iに接続される出力端子T2をプリチャージするために、出力端子T2と低電源電圧VSS（最小駆動電圧VSS）との間に接続されているスイッチ112と、出力端子T2と高電源電圧VDD（最大駆動電圧VDD）との間に接続されているスイッチ212とから構成されている。そして、スイッチ112が、駆動回路100と対をなして動作し、スイッチ212が、駆動回路200と対をなして動作する。

【0053】 駆動回路100において、NMOSTランジスタ101、102の共通ゲートをプリチャージするために、VDDとランジスタ101、102の共通ゲートとの間にスイッチ111が接続されている。ランジスタ101のドレインは、定電流源103を介してVDDに接続され、更に、自身のゲートにも接続されている。また、選択回路20の対応する出力端子に接続される入力端子T1とランジスタ101のソースとの間には、ランジスタ101のドレイン・ソース間電流を遮断することのできるスイッチ121が接続されている。入力端子T1とVSSとの間には、定電流源104とスイッチ122とが直列に接続されている。ランジスタ102のソースは、アナログバッファ22Aの出力端子T3に接続され、VDDとランジスタ102のドレインとの間には、ランジスタ102のドレイン・ソース間電流を遮断することのできるスイッチ123が接続され、出力端子T3とVSSとの間には、定電流源105とスイッチ124とが直列接続されている。なお、定電流源103および104により等しく制御される電流をI11、定電流源105により制御される電流をI13とする。

【0054】 駆動回路200において、PMOSTランジスタ251、252の共通ゲートをプリチャージするために、VSSとランジスタ251、252の共通ゲートとの間にスイッチ211が接続されている。ランジスタ251のドレインは、定電流源253を介してVSSに接続され、更に、自身のゲートにも接続されて

いる。またトランジスタ251のソースと入力端子T1との間には、トランジスタ251のドレイン・ソース間電流を遮断することのできるスイッチ221が接続されている。入力端子T1とVDDとの間には、定電流源254とスイッチ222とが直列に接続されている。トランジスタ252のソースは、アナログバッファ22Aの出力端子T3に接続され、VSSとトランジスタ252のドレインとの間には、トランジスタ252のドレイン・ソース間電流を遮断することのできるスイッチ223が接続され、出力端子T3とVDDとの間には、定電流源255とスイッチ224とが直列接続されている。なお、定電流源253および254により等しく制御される電流をI21、定電流源255により制御される電流をI23とする。

【0055】 図3の回路において、スイッチ112と212及び駆動回路100と200の動作、非動作は、デジタルデータの最上位ビット信号D0iと、極性信号POLと、制御回路40から供給されるプリチャージ信号S0及びスイッチ制御信号S01、S02、S03、S1、S2、S3により制御される。

【0056】 上述したように、スイッチ26iは、その動作期間が、プリチャージ信号S0により制御され、スイッチ112と212のどちらが閉じるかは、極性信号POLと最上位ビット信号D0iとにより制御される。そのために、極性信号POLと最上位ビット信号D0iとは、排他的OR回路に供給され、その排他的OR回路の出力により、スイッチ112と212のどちらが閉じるかが制御される。例えば、極性信号POLと最上位ビット信号D01とが、2入力排他的OR回路501に供給され、その排他的OR回路501の出力により、スイッチ261のスイッチ112と212のどちらが閉じるかが制御される。極性信号POLと最上位ビット信号D02とが、排他的OR回路502に供給され、その排他的OR回路502の出力により、スイッチ262のスイッチ112と212のどちらが閉じるかが制御される。極性信号POLと最上位ビット信号D03とが、排他的OR回路503に供給され、その排他的OR回路503の出力により、スイッチ263のスイッチ112と212のどちらが閉じるかが制御される。

【0057】 一方、アナログバッファ22Aにおいても、駆動回路100と駆動回路200のどちらが動作するかは、極性信号POLと最上位ビット信号D0iとにより制御される。しかし、アナログバッファ22Aは、時分割駆動されるので、最上位ビット信号D01は、スイッチ制御信号S1によりオンオフ制御されるスイッチ401を介して、2入力排他的OR回路400の一方の入力に供給され、最上位ビット信号D02は、スイッチ制御信号S2によりオンオフ制御されるスイッチ402を介して、2入力排他的OR回路400の一方の入力に供給され、最上位ビット信号D03は、スイッチ制御信

号S3によりオンオフ制御されるスイッチ403を介して、2入力排他的OR回路400の一方の入力に供給される。そして、2入力排他的OR回路400の他方の入力には、極性信号POLが供給され、その2入力排他的OR回路400の出力により、駆動回路100と駆動回路200のどちらが動作するかが制御される。

【0058】 このようにして、高電圧側の階調電圧がVinとして入力されると、その出力期間の間、駆動回路200が動作状態に置かれる一方、駆動回路100内の全てのスイッチがOFF状態に維持されて駆動回路100は不動作状態に維持される。また、低電圧側の階調電圧がVinとして入力されると、その出力期間の間、駆動回路100が動作状態に置かれる一方、駆動回路200内の全てのスイッチがOFF状態に維持されて駆動回路200は不動作状態に維持される。

【0059】 そのようにして駆動回路100と駆動回路200の何れか一方が動作状態に置かれるが、動作状態に置かれた駆動回路100と駆動回路200内のスイッチは、スイッチ制御信号S01、S02、S03により制御される。スイッチ111と211は、スイッチ制御信号S01により制御され、スイッチ121、122、221、222は、スイッチ制御信号S02により制御され、スイッチ123、124、223、224は、スイッチ制御信号S03により制御される。

【0060】 図4は、図3の回路の動作を図解するタイミング図である。図4において、1走査線選択期間は、プリチャージ期間P（時刻t0-t1）、第1書き込み期間（時刻t1-t4）、第2書き込み期間（時刻t4-t7）、第3書き込み期間（時刻t7-t10）に分けられる。

【0061】 極性信号POLは1走査線選択期間毎に反転するが、各1走査線選択期間中は変化しない。そこで、図4の最初の走査線選択期間において、極性信号POLが非反転を示していると仮定する。プリチャージ期間において、プリチャージ信号S0がアクティブにされ、全スイッチ制御信号S01、S02、S03、S1、S2、S3はインアクティブに維持される。従って、プリチャージ期間中、駆動回路100と200内の全スイッチはオフ状態に維持される。

【0062】 ここで、前述したように、データ線301に対応するデジタルデータの最上位ビット信号D01が「1」であり、データ線302に対応するデジタルデータの最上位ビット信号D02が「0」であり、データ線303に対応するデジタルデータの最上位ビット信号D03が「0」であると仮定する。その結果、スイッチ261においては、最上位ビット信号D01が「1」であるとき、デジタルデータをD/A変換して得られるアナログ電圧が、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm以上となる筈であるので、データ線301を最大駆動電圧VDDにプリチャージするた

めに、スイッチ212をオンにし、スイッチ112をオフにする。スイッチ262においては、最上位ビット信号D02が「0」であるとき、デジタルデータをD/A変換して得られるアナログ電圧が、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm未満となる筈であるので、データ線302を最小駆動電圧VSSにプリチャージするために、スイッチ112をオンにし、スイッチ212をオフにする。同様に、スイッチ263においては、最上位ビット信号D03が「0」であるとき、デジタルデータをD/A変換して得られるアナログ電圧が、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm未満となる筈であるので、データ線303を最小駆動電圧VSSにプリチャージするために、スイッチ112をオンにし、スイッチ212をオフにする。

【0063】 プリチャージ期間に続く3つの書き込み期間(時刻t1-t10)の間、プリチャージ信号S0がインアクティブに維持され、スイッチ制御信号は以下のようにアクティブまたはインアクティブにされる。従って、3つの書き込み期間(時刻t1-t10)の間、プリチャージ回路は、非動作状態に置かれ、スイッチ112と212はオフ状態に維持される。

【0064】 第1書き込み期間(時刻t1-t4)の間、図2に示すように、スイッチ制御信号S1はアクティブにされ、スイッチ制御信号S2及びS3は、インアクティブに維持される。その結果、スイッチ201と241とが閉じられ、更に、スイッチ401が閉じられて、データ線301に対応するデジタルデータの最上位ビット信号D01が、駆動回路100と200の何れか一方を選択的に動作状態に置くための選択信号として排他的OR回路400に供給される。上述した例では、データ線301に対応するデジタルデータの最上位ビット信号D01が「1」であるので、駆動回路200が選択され、時刻t1-t4の間、スイッチ211、221、222、223、224は図4に示すように制御され、一方、スイッチ111、112、121、122、123、124は全てオフに維持される。

【0065】 時刻t1で、スイッチ制御信号S01によりスイッチ211が閉じられ、トランジスタ251、252の共通ゲート電圧V20は電圧VSSにプリチャージされる。時刻t2で、スイッチ制御信号S01によりスイッチ211が開放され、電圧V20のプリチャージは完了する。時刻t2以後、スイッチ制御信号S02によりスイッチ221、222が閉じられ、電圧V20は、入力電圧Vinからトランジスタ251のゲート・ソース間電圧Vgs251(I21)だけずれた電圧に変化し、 $V20 = Vin + Vgs251(I21)$ で安定となる。ここで、Vgs251(I21)はドレイン電流がI21であるときのゲート・ソース間電圧を表す。

【0066】 時刻t3以後、スイッチ制御信号S03によりスイッチ223、224が閉じられる。その結果、スイッチ241を介してトランジスタ252のソースに接続されている、プリチャージ期間(時刻t0-t1)の間に電圧VDDにプリチャージされたデータ線301の出力電圧Voutは、電圧V20からトランジスタ252のゲート・ソース間電圧Vgs252(I23)だけずれた電圧に変化し、 $Vout = V20 - Vgs252(I23)$ で安定となる。ここで、Vgs252(I23)はドレイン電流がI23であるときのゲート・ソース間電圧を表す。

【0067】 従って、Vgs251(I21)とVgs252(I23)は負の値で、共に等しくなるように電流I21、I23を制御すれば、上記2式により、出力電圧Voutは入力電圧Vinに等しくなる。また、このとき出力電圧範囲は、 $VSS - Vgs252(I23) \leq Vout \leq VDD$ となる。

【0068】 第1の書き込み期間が終了する時刻t4、スイッチ制御信号S02及びS03によりスイッチ221、222、223、224は開放される。

【0069】 第2書き込み期間(時刻t4-t7)の間、図2に示すように、スイッチ制御信号S2はアクティブにされ、スイッチ制御信号S1及びS3は、インアクティブに維持される。その結果、スイッチ202と242とが閉じられ、更に、スイッチ402が閉じられて、データ線302に対応するデジタルデータの最上位ビット信号D02が、駆動回路100と200の何れか一方を選択的に動作状態に置くための選択信号として排他的OR回路400に供給される。上述した例では、データ線302に対応するデジタルデータの最上位ビット信号D02が「0」であるので、駆動回路100が選択され、時刻t4-t7の間、スイッチ111、112、121、122、123、124は図4に示すように制御され、一方、スイッチ211、221、222、223、224は全てオフに維持される。

【0070】 時刻t4で、スイッチ制御信号S01によりスイッチ111が閉じられ、トランジスタ101、102の共通ゲート電圧V10は電圧VDDにプリチャージされる。時刻t5で、スイッチ制御信号S01によりスイッチ111が開放され、電圧V10のプリチャージは完了する。時刻t5以後、スイッチ制御信号S02によりスイッチ121、122が閉じられ、電圧V10は入力電圧Vinからトランジスタ101のゲート・ソース間電圧Vgs101(I11)だけずれた電圧に変化し、 $V10 = Vin + Vgs101(I11)$ で安定となる。ここで、Vgs101(I11)はドレイン電流がI11であるときのゲート・ソース間電圧を表す。

【0071】 時刻t6以後、スイッチ制御信号S03によりスイッチ123、124が閉じられ、スイッチ242を介してトランジスタ102のソースに接続されて

いる、プリチャージ期間（時刻 $t_0 - t_1$ ）の間に電圧 V_{SS} にプリチャージされたデータ線 302 は、電圧 V_{10} からトランジスタ 102 のゲート・ソース間電圧 V_{gs102} (I_{13}) だけずれた電圧に変化し、 $V_{out} = V_{10} - V_{gs102}$ (I_{13}) で安定となる。ここで、 V_{gs102} (I_{13}) はドレイン電流が I_{13} であるときのゲート・ソース間電圧を表す。

【0072】 従って、 V_{gs101} (I_{11}) と V_{gs102} (I_{13}) は正の値で、共に等しくなるように電流 I_{11} 、 I_{13} を制御すれば、上記 2 式により、出力電圧 V_{out} は入力電圧 V_{in} と等しくなる。また、このとき出力電圧範囲は、 $V_{SS} \leq V_{out} \leq V_{DD} - V_{gs102}$ (I_{13}) となる。

【0073】 第 2 の書き込み期間が終了する時刻 t_7 、スイッチ制御信号 S_{02} 及び S_{03} によりスイッチ 121、122、123、124 は開放される。

【0074】 第 3 書き込み期間（時刻 $t_7 - t_{10}$ ）の間、図 2 に示すように、スイッチ制御信号 S_3 はアクティブにされ、スイッチ制御信号 S_1 及び S_2 は、インアクティブに維持される。その結果、スイッチ 203 と 243 とが閉じられ、更に、スイッチ 403 が閉じられて、データ線 303 に対応するデジタルデータの最上位ビット信号 D_{03} が、駆動回路 100 と 200 の何れか一方を選択的に動作状態に置くための選択信号として排他的 OR 回路 400 に供給される。上述した例では、データ線 303 に対応するデジタルデータの最上位ビット信号 D_{03} が「0」であるので、駆動回路 100 が選択され、時刻 $t_7 - t_{10}$ の間、スイッチ 111、112、121、122、123、124 は図 4 に示すように制御され、一方、スイッチ 211、221、222、223、224 は全てオフに維持される。

【0075】 時刻 t_7 で、スイッチ制御信号 S_{01} によりスイッチ 111 が閉じられ、トランジスタ 101、102 の共通ゲート電圧 V_{10} は電圧 V_{DD} にプリチャージされる。時刻 t_8 で、スイッチ制御信号 S_{01} によりスイッチ 111 が開放され、電圧 V_{10} のプリチャージは完了する。時刻 t_8 以後、スイッチ制御信号 S_{02} によりスイッチ 121、122 が閉じられ、電圧 V_{10} は入力電圧 V_{in} からトランジスタ 101 のゲート・ソース間電圧 V_{gs101} (I_{11}) だけずれた電圧に変化し、 $V_{10} = V_{in} + V_{gs101}$ (I_{11}) で安定となる。

【0076】 時刻 t_9 以後、スイッチ制御信号 S_{03} によりスイッチ 123、124 が閉じられ、スイッチ 243 を介してトランジスタ 102 のソースに接続されている、プリチャージ期間（時刻 $t_0 - t_1$ ）の間に電圧 V_{SS} にプリチャージされたデータ線 303 は、電圧 V_{10} からトランジスタ 102 のゲート・ソース間電圧 V_{gs102} (I_{13}) だけずれた電圧に変化し、 $V_{out} = V_{10} - V_{gs102}$ (I_{13}) で安定となる。上

述したように、 V_{gs101} (I_{11}) と V_{gs102} (I_{13}) は正の値で、共に等しくなるように電流 I_{11} 、 I_{13} を制御されれば、出力電圧 V_{out} は入力電圧 V_{in} と等しくなる。

【0077】 第 3 の書き込み期間が終了する時刻 t_{10} で、スイッチ制御信号 S_{02} 及び S_{03} によりスイッチ 121、122、123、124 は開放される。時刻 t_{10} 以降、次の 1 走査線選択期間が始まり、上述した動作と同様に動作が行われ、その最初は、プリチャージ期間（ t_{10} から t_{11} ）である。

【0078】 かくして、低電圧側の階調電圧が $\{V_{DD} - V_{gs102}$ (I_{13}) $\}$ より低い電圧レベルで、高電圧側の階調電圧が $\{V_{SS} - V_{gs252}$ (I_{23}) $\}$ より高い電圧である場合には、出力電圧範囲を電源電圧範囲にすることができる。

【0079】 上記したそれら駆動回路 100 と 200 の各々は、トランジスタのソースフォロウ動作を利用した構成であり、トランジスタのゲート電圧 V_{10} と V_{20} のプリチャージ回路を組み合わせることにより、駆動回路 100 と 200 の各々のアイドリング電流を低く抑えても、高速動作が可能となる。すなわち、低消費電力で高速動作が可能となる。従って、アナログバッファ群 22 の各アナログバッファを、駆動回路 100 と 200 との組合せから構成すれば、更に低消費電力のデータ線駆動回路を実現することができる。

【0080】 なお、図 3 に示すアナログバッファにおいて、定電流源 253 と 254 および 103 と 104 の電流容量が大きい場合には、スイッチ 211 と 111 とを省略することもできる。

【0081】 図 5 は、図 1 の実施例の変形例である。図 1 に示される構成要素と同一の構成要素には同一の参照番号を付して、説明を省略する。

【0082】 図 5 の変形例では、図 1 のシフトレジスタ 10 及びデータレジスタ 12 の代りに、フレームメモリ 50 が設けられている。表示に対応したデジタルデータがフレームメモリ 18 に供給され、アドレスで指定されるロケーションにデジタルデータが記憶される。更に、アドレスで指定されるロケーションからデジタルデータを読み出して、各走査ラインに対応したデジタルデータがフレームメモリ 50 からデータラッチ 14 に順次出力され、保持される。これ以外、図 5 の変形例は、図 1 の実施例と代らない。従って、これ以上の説明は、省略する。また、図 5 の変形例においても、アナログバッファ群 22 の各アナログバッファを、図 3 に示す駆動回路 100 と 200 との組合せから構成すれば、更に低消費電力のデータ線駆動回路を実現することができる。

【0083】 図 6 は、図 1 の実施例の更に別の変形例である。図 1 に示される構成要素と同一の構成要素には同一の参照番号を付して、説明を省略する。なお、説明の簡略化のため、データ線 301 からデータ線 303 に

関連する部分を中心に説明する。データ線 304 以降の部分は、当業者には、データ線 301 からデータ線 303 に関連する部分の説明から理解される筈である。

【0084】 図 6 の変形例は、データラッチ 14 の出力を、スイッチ制御信号 S1 から S3 により時分割で順次、D/A 変換器及びアナログバッファに供給して、3 データ線を時分割駆動することを特徴とするものである。これにより、D/A 変換器の回路規模を小さくすることができる。

【0085】 データラッチ 14 から出力される各データ線に対応するデジタルデータの最上位ビット信号 D0i により、分配回路 26 の各スイッチ 26i が制御されることは、図 1 の実施例と変わらない。しかし、選択回路 20 が、データラッチ 14 と D/A 変換器 16A との間に置かれ、選択回路 20 の各スイッチ 20i は、各データ線に対応するデジタルデータ（各画素のデジタルデータが 6 ビットからなる場合、D0i から D5i）を D/A 変換器 16A に供給する。上述したようにデータラッチ 14 からデジタルデータがパラレルに出力されるので、デジタルデータが 6 ビットからなる場合には、選択回路 20 の各スイッチ 20i は、並列な 6 つのスイッチから構成されているが、図面の簡略化のために 1 つのスイッチで示している。

【0086】 例えば、データ線 301 に対応するデジタルデータ D01 から D51 はスイッチ 201 を介して、データ線 302 に対応するデジタルデータ D02 から D52 はスイッチ 202 を介して、そして、データ線 303 に対応するデジタルデータ D03 から D53 はスイッチ 203 を介して、D/A 変換器 16A 内の同一の D/A 変換回路 16B に時分割でそれぞれ供給される。従って、D/A 変換器 16A の回路規模を、図 1 の実施例の D/A 変換器 16 に比較して 1/3 に小さくすることができる。従って、図 6 の変形例は、アナログバッファの数だけでなく D/A 変換回路の数も削減でき、それに伴い、所要面積を、図 1 の実施例よりも更に削減できる。

【0087】 D/A 変換器 16A 内のその D/A 変換回路 16B の出力は、アナログバッファ 22A の入力に接続されている。更に、各データ線のデジタルデータの最上位ビット信号 D0i は、データラッチ 14 からプリチャージ回路 26 に供給される。

【0088】 次に、図 1 の実施例の動作と異なる図 6 の変形例の動作を、図 2 のタイミング図を参照して説明する。

【0089】 1 走査線（ゲート線）選択期間に出力する全データが、データレジスタ 12 からデータラッチ 14 に送られてラッチされる。そのラッチされている 1 走査線分データの内の 3 つのデータ線ごとに 1 つの割合でデジタルデータは、選択回路 20 内のスイッチで選択されて、D/A 変換器 16A に供給される。各デジタルデ

ータは、D/A 変換器 16A でアナログ電圧 Vi (i = 1 から K) に変換される。

【0090】 一方、行選択ドライバ（不図示）により、N 番目のゲート信号がアクティブされ、N 番目の行選択線 36 が選択的に駆動され、その N 番目の行選択線 36 にゲートが接続されている N 番目行の全スイッチングトランジスタ 34 がオン状態に置かれる。それ以外の行のスイッチングトランジスタ 34 がオフ状態に維持される。図 6 に示すように、1 つのアナログバッファが、3 つのデータ線ごとに 1 つの割合で設けられている場合には、1 走査線選択期間は、1 つのプリチャージ期間と 3 つの書き込み期間からなる。そこで、説明の簡略化のため、データ線 301 からデータ線 303 に関連する部分のみを説明する。データ線 304 以降の部分の動作は、当業者には、データ線 301 からデータ線 303 に関連する部分の動作から理解される筈である。

【0091】 図 2 に示すように、1 走査線選択期間の最初はプリチャージ期間であり、そのプリチャージ期間において、制御回路 40 は、プリチャージ信号 S0 をアクティブにし、スイッチ制御信号 S1、S2、S3 をインアクティブ状態に維持する。その結果、プリチャージ回路 26 は、データラッチ 14 から受けた各データ線のデジタルデータの最上位ビット信号 D0i に従って、データ線 30i を最大駆動電圧 VDD と最小駆動電圧 VSS の何れかに接続し、データ線 30i をプリチャージする。極性信号 POL が非反転を示していると仮定すると、例えば、データ線 301 に対応するデジタルデータの最上位ビット信号 D01 が「1」であったとき、プリチャージ回路 26 のスイッチ 261 はデータ線 301 を最大駆動電圧 VDD にプリチャージする。また、データ線 302 に対応するデジタルデータの最上位ビット信号 D02 が「0」であったとき、プリチャージ回路 26 のスイッチ 262 はデータ線 302 を最小駆動電圧 VSS にプリチャージする。更に、データ線 303 に対応するデジタルデータの最上位ビット信号 D03 が「0」であったとき、プリチャージ回路 26 のスイッチ 263 はデータ線 302 を最小駆動電圧 VSS にプリチャージする。このようにして、プリチャージ期間において、全データ線 301 からデータ線 30K の各々が、そのデータ線に書き込むべきアナログ電圧に近い最大駆動電圧 VD または最小駆動電圧 VSS にプリチャージされる。

【0092】 プリチャージ期間に続く 3 つの書き込み期間において、図 2 に示すように、制御回路 40 は、プリチャージ信号 S0 をインアクティブ状態に維持する一方、スイッチ制御信号 S1、S2、S3 を順次アクティブ状態にする。その結果、プリチャージ終了後、全データ線 301 からデータ線 30K は、最大駆動電圧 VDD と最小駆動電圧 VSS と切り離され、デジタルデータを D/A 変換して得られるアナログ電圧を書き込み可能となる。

【0093】 プリチャージ期間に続く最初の書き込み期間において、制御回路40は、スイッチ制御信号S1をアクティブにする一方、スイッチ制御信号S2、S3をインアクティブ状態に維持する。その結果、選択回路20のスイッチ201と分配回路24のスイッチ241とが閉じ、スイッチ202、203とスイッチ242、243は開状態に維持される。従って、データ線301に対応するデジタルデータD01からD51が、データラッチ14からスイッチ201を介してD/A変換器16A内の対応するD/A変換回路16Bに供給され、データ線301に対応するデジタルデータをD/A変換回路16Bが変換して得られるアナログ電圧V1がアナログバッファ22Aに入力され、そのアナログバッファ22Aの出力が、スイッチ241を介してデータ線301に接続され、データ線301に出力階調電圧V1が書き込まれる。

【0094】 上述した例では、データ線301は最大駆動電圧VDDにプリチャージされており、データ線301に対応するデジタルデータをD/A変換して得られるアナログ出力階調電圧V1が、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm以上であるので、アナログバッファ22Aは、最大駆動電圧VDDにプリチャージされているデータ線301から電荷を引き抜いて、データ線301にアナログ出力階調電圧V1を書き込む。

【0095】 2番目の書き込み期間において、制御回路40は、スイッチ制御信号S1をインアクティブにし、スイッチ制御信号S2をアクティブにする一方、スイッチ制御信号S3をインアクティブ状態に維持する。その結果、スイッチ201とスイッチ241とが開き、スイッチ202とスイッチ242とが閉じ、スイッチ203とスイッチ243は開状態に維持される。従って、データ線302に対応するデジタルデータD02からD52が、データラッチ14からスイッチ202を介してD/A変換器16A内の対応するD/A変換回路16Bに供給され、データ線302に対応するデジタルデータをD/A変換回路16Bが変換して得られるアナログ電圧V2がアナログバッファ22Aに入力され、そのアナログバッファ22Aの出力が、スイッチ242を介してデータ線302に接続され、データ線302に出力階調電圧V2が書き込まれる。

【0096】 上述した例では、データ線302は最小駆動電圧VSSにプリチャージされており、データ線302に対応するデジタルデータをD/A変換して得られるアナログ出力階調電圧V2が、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm未満であるので、アナログバッファ22Aは、最小駆動電圧VSSにプリチャージされているデータ線302に電荷を供給して、データ線302にアナログ出力階調電圧V2を書き込む。

【0097】 3番目の書き込み期間において、制御回路40は、スイッチ制御信号S1をインアクティブ状態に維持し、スイッチ制御信号S2をインアクティブにし、スイッチ制御信号S3をアクティブにする。その結果、スイッチ201とスイッチ241は開状態に維持され、スイッチ202とスイッチ242とが開き、スイッチ203とスイッチ243とが閉じる。従って、データ線303に対応するデジタルデータD03からD53が、データラッチ14からスイッチ203を介してD/A変換器16A内の対応するD/A変換回路16Bに供給され、データ線303に対応するデジタルデータをD/A変換回路16Bが変換して得られるアナログ電圧V3がアナログバッファ22Aに入力され、そのアナログバッファ22Aの出力が、スイッチ243を介してデータ線303に接続され、データ線303に出力階調電圧V3が書き込まれる。

【0098】 上述した例では、データ線303は最小駆動電圧VSSにプリチャージされており、データ線303に対応するデジタルデータをD/A変換して得られるアナログ出力階調電圧V3が、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm未満であるので、アナログバッファ22Aは、最小駆動電圧VSSにプリチャージされているデータ線303に電荷を供給して、データ線303にアナログ出力階調電圧V3を書き込む。

【0099】 図2に示すように、次の1走査線選択期間、行選択ドライバ（不図示）により、N番目のゲート信号がインアクティブされ、(N+1)番目のゲート信号がアクティブされ、(N+1)目の行選択線36が選択的に駆動される場合にも、制御回路40により、プリチャージ信号S0及びスイッチ制御信号S1、S2、S3が同様に制御される。

【0100】 更に、図6の変形例においても、アナログバッファ群22の各アナログバッファを、図3に示す駆動回路100と200との組合せから構成すれば、更に低消費電力のデータ線駆動回路を実現することができる。

【0101】 図7は、図1の実施例の更に異なる変形例である。図1及び図6に示される構成要素と同一の構成要素には同一の参照番号を付して、説明を省略する。なお、説明の簡略化のため、データ線301からデータ線303に関連する部分を中心に説明する。データ線304以降の部分は、当業者には、データ線301からデータ線303に関連する部分の説明から理解される筈である。

【0102】 図7の変形例では、デジタルデータをデータレジスタから取り込む段階から、時分割でデジタルデータをデータレジスタから取り込む。すなわち、1走査線選択期間に出力する全デジタルデータを、複数のブロックに分けて（図7の例では、3ブロックに分け

10

20

30

40

50

て)、ブロックごとにデータレジスタから順次取り込む。そのため、1走査線に相当する全デジタルデータがデータレジスタから取り込まれないので、全データ線を一斉にプリチャージすることができない。そこで、データラッチを2段設け、一方のデータラッチが、1つのブロックのデジタルデータを出力している間に、他方のデータラッチが、次のブロックのデジタルデータの最上位ビット信号を出力して、次のブロックのデジタルデータに対応するデータ線をプリチャージする。

【0103】 そのために、1走査線選択期間に出力する全デジタルデータを3つのブロックに分ける場合には、プリチャージ期間の始めに、データレジスタ12Aから、1走査線に相当するデジタルデータの内の1番目のデータ線301から3つ置き of データ線30(3j-2)(j=1からK/3)に対応するデジタルデータ

(D01からD51ほか)が、データラッチ14Aにラッチされ、プリチャージ期間に続く第1書き込み期間の始めに、データレジスタ12Aから、1走査線に相当するデジタルデータの内の2番目のデータ線302から3つ置き of データ線(3j-1)に対応するデジタルデータ(D02からD52ほか)が、データラッチ14Aにラッチされ、第1書き込み期間に続く第2書き込み期間の始めに、データレジスタ12Aから、1走査線に相当するデジタルデータの内の3番目のデータ線303から3つ置き of データ線(3j)に対応するデジタルデータ(D03からD53ほか)が、データラッチ14Aにラッチされる。

【0104】 更に、プリチャージ期間に続く第1書き込み期間の始めに、データラッチ14Aから、1走査線に相当するデジタルデータの内の1番目のデータ線301から3つ置き of データ線(3j-2)に対応するデジタルデータ(D01からD51ほか)が、データラッチ14Bにラッチされ、第1書き込み期間に続く第2書き込み期間の始めに、データラッチ14Aから、1走査線に相当するデジタルデータの内の2番目のデータ線302から3つ置き of データ線(3j-1)に対応するデジタルデータ(D02からD52ほか)が、データラッチ14Bにラッチされ、第2書き込み期間に続く第3書き込み期間の始めに、データラッチ14Aから、1走査線に相当するデジタルデータの内の3番目のデータ線303から3つ置き of データ線(3j)に対応するデジタルデータ(D03からD53ほか)が、データラッチ14Bにラッチされる。これらのデータの転送とラッチは、制御回路40により制御される。

【0105】 かくして、データラッチ14A及びデータラッチ14Bは各々、{1水平走査期間}/{ブロック分割数+1}の期間の間、該当するブロックのデジタルデータを保持する。そして、図7に示す変形例では、シフトレジスタ10A及びデータレジスタ12Aは、図1の実施例のシフトレジスタ10及びデータレジスタ1

2のそれぞれ1/3の容量で足り、データラッチ14A及びデータラッチ14Bの各々の記憶容量は、図1の実施例のデータラッチ14の1/3となり、従って、データラッチ14Aと14Bの全体の記憶容量も、図1の実施例のデータラッチ14の記憶容量の2/3に小さくなる。従って、図7の変形例は、アナログバッファとD/A変換回路の数だけでなくデータラッチの全体の記憶容量も削減でき、それに伴い、所要面積を、図6の実施例よりも更に削減できる。

【0106】 データラッチ14Bから出力される各デジタルデータは、D/A変換器16A内の対応するD/A変換回路(16Bほか)に入力される。

【0107】 分配回路26内の各スイッチ26iは、データラッチ14Aに保持されているデジタルデータの最上位ビット信号D0iと、極性信号POLと、プリチャージ信号S0と、スイッチ制御信号S1及びS2とにより制御される。データ線301に接続されているスイッチ261は、プリチャージ信号S0により動作期間が決定され、対応デジタルデータの最上位ビット信号D01と極性信号POLとにより、その動作期間内にVDDとVSSのどちらに接続されるかが決定される。データ線302に接続されているスイッチ262は、スイッチ制御信号S1により動作期間が決定され、対応デジタルデータの最上位ビット信号D02と極性信号POLとにより、その動作期間内にVDDとVSSのどちらに接続されるかが決定される。データ線302に接続されているスイッチ263は、スイッチ制御信号S2により動作期間が決定され、対応デジタルデータの最上位ビット信号D03と極性信号POLとにより、その動作期間内にVDDとVSSのどちらに接続されるかが決定される。

【0108】 次に、図1の実施例の動作と異なるの図7の変形例の動作を、図8のタイミング図を参照して説明する。

【0109】 図7に示すように、1つのアナログバッファが、3つのデータ線ごとに1つの割合で設けられている場合には、1走査線(ゲート線)選択期間は、図8に示すように、4つの連続する期間に分けられる。図1の実施例の動作と対応されるために、4つの連続する期間の最初の期間を、プリチャージ期間と称し、残りの3つの連続する期間の各々を、書き込み期間と称する。また、説明の簡略化のため、データ線301からデータ線303に関連する部分のみを説明する。データ線304以降の部分の動作は、当業者には、データ線301からデータ線303に関連する部分の動作から理解される筈である。

【0110】 1走査線(ゲート線)選択期間の間、行選択ドライバ(不図示)により、N番目のゲート信号がアクティブされ、N番目の行選択線36が選択的に駆動され、そのN番目の行選択線36にゲートが接続されて

いるN番目行の全スイッチングトランジスタ34がオン状態に置かれる。それ以外の行のスイッチングトランジスタ34がオフ状態に維持される。

【0111】 プリチャージ期間の間の始めに、1走査線（ゲート線）選択期間に出力する全デジタルデータの内、データ線301から3つ置き（データ線30（3j-2））に対応するデジタルデータ（データ線301についてはD01からD51が、データレジスタ12Aからデータラッチ14Aに送られてラッチされる。更に、図8に示すように、そのプリチャージ期間において、制御回路40は、プリチャージ信号S0をアクティブにし、スイッチ制御信号S1、S2、S3をインアクティブ状態に維持する。その結果、プリチャージ回路26は、データラッチ14Aから受けたデータ線301に対応するデジタルデータの最上位ビット信号D01と極性信号POLとに従って、データ線301を最大駆動電圧VDDと最小駆動電圧VSSの何れかに接続し、データ線301をプリチャージする。極性信号POLが非反転を示していると仮定すると、例えば、データ線301に対応するデジタルデータの最上位ビット信号D01が「1」であったとき、プリチャージ回路26のスイッチ261はデータ線301を最大駆動電圧VDDにプリチャージする。

【0112】 プリチャージ期間に続く1番目の書き込み期間の間の始めに、1走査線（ゲート線）選択期間に出力する全デジタルデータの内、データ線302から3つ置き（データ線30（3j-1））に対応するデジタルデータ（データ線302についてはD02からD52）が、データレジスタ12Aからデータラッチ14Aに送られてラッチされ、更に、1走査線（ゲート線）選択期間に出力する全デジタルデータの内、データ線301から3つ置き（データ線30（3j-2））に対応するデジタルデータ（データ線301についてはD01からD51）が、データラッチ14Aからデータラッチ14Bに送られてラッチされる。

【0113】 更に、図8に示すように、その1番目の書き込み期間において、制御回路40は、スイッチ制御信号S1をアクティブにし、プリチャージ信号S0とスイッチ制御信号S2、S3をインアクティブ状態に維持する。その結果、プリチャージ回路26は、データラッチ14Aから受けたデータ線302に対応するデジタルデータの最上位ビット信号D02と極性信号POLとに従って、データ線302を最大駆動電圧VDDと最小駆動電圧VSSの何れかに接続し、データ線302をプリチャージする。上述したように当該1走査線選択期間の間は極性信号POLが非反転を示しているの、例えば、データ線302に対応するデジタルデータの最上位ビット信号D02が「0」であったとき、プリチャージ回路26のスイッチ262はデータ線302を最小駆動電圧VSSにプリチャージする。

【0114】 一方、プリチャージ終了後、データ線301は、最大駆動電圧VDDとも最小駆動電圧VSSとも切り離され、デジタルデータをD/A変換して得られるアナログ電圧を書き込み可能となる。

【0115】 制御回路40が、スイッチ制御信号S1をアクティブにする一方、スイッチ制御信号S2、S3をインアクティブ状態に維持するので、分配回路24のスイッチ241が閉じ、スイッチ242、243は開状態に維持される。従って、データ線301に対応するデジタルデータD01からD51が、データラッチ14BからD/A変換器16A内の対応するD/A変換回路16Bに供給され、データ線301に対応するデジタルデータをD/A変換回路16Bが変換して得られるアナログ電圧V1がアナログバッファ22Aに入力され、そのアナログバッファ22Aの出力が、スイッチ241を介してデータ線301に接続され、データ線301に出力階調電圧V1が書き込まれる。

【0116】 上述した例では、データ線301は最大駆動電圧VDDにプリチャージされており、データ線301に対応するデジタルデータをD/A変換して得られるアナログ出力階調電圧V1が、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm以上であるので、アナログバッファ22Aは、最大駆動電圧VDDにプリチャージされているデータ線301から電荷を引き抜いて、データ線301にアナログ出力階調電圧V1を書き込む。

【0117】 1番目の書き込み期間に続く2番目の書き込み期間の間の始めに、1走査線（ゲート線）選択期間に出力する全デジタルデータの内、データ線303から3つ置き（データ線30（3j））に対応するデジタルデータ（データ線303についてはD03からD53）が、データレジスタ12Aからデータラッチ14Aに送られてラッチされ、更に、1走査線（ゲート線）選択期間に出力する全デジタルデータの内、データ線302から3つ置き（データ線30（3j-1））に対応するデジタルデータ（データ線302についてはD02からD52）が、データラッチ14Aからデータラッチ14Bに送られてラッチされる。

【0118】 更に、図8に示すように、その2番目の書き込み期間において、制御回路40は、スイッチ制御信号S2をアクティブにし、プリチャージ信号S0とスイッチ制御信号S1、S3をインアクティブ状態に維持する。その結果、プリチャージ回路26は、データラッチ14Aから受けたデータ線303に対応するデジタルデータの最上位ビット信号D03と極性信号POLとに従って、データ線303を最大駆動電圧VDDと最小駆動電圧VSSの何れかに接続し、データ線303をプリチャージする。上述したように当該1走査線選択期間の間は極性信号POLが非反転を示しているの、例えば、データ線303に対応するデジタルデータの最上位

ビット信号D02が「0」であったとき、プリチャージ回路26のスイッチ263はデータ線303を最小駆動電圧VSSにプリチャージする。

【0119】 一方、1番目の書き込み期間終了後、データ線302は、最大駆動電圧VDDとも最小駆動電圧VSSとも切り離され、デジタルデータをD/A変換して得られるアナログ電圧を書き込み可能となる。

【0120】 制御回路40が、スイッチ制御信号S2をアクティブにする一方、スイッチ制御信号S1、S3をインアクティブ状態に維持するので、分配回路24のスイッチ242が閉じ、スイッチ241、243は開状態に維持される。従って、データ線302に対応するデジタルデータD02からD52が、データラッチ14BからD/A変換器16A内の対応するD/A変換回路16Bに供給され、データ線302に対応するデジタルデータをD/A変換回路16Bが変換して得られるアナログ電圧V2がアナログバッファ22Aに入力され、そのアナログバッファ22Aの出力が、スイッチ242を介してデータ線302に接続され、データ線302に出力階調電圧V1が書き込まれる。

【0121】 上述した例では、データ線302は最大駆動電圧VSSにプリチャージされており、データ線302に対応するデジタルデータをD/A変換して得られるアナログ出力階調電圧V2が、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm未満であるので、アナログバッファ22Aは、最大駆動電圧VSSにプリチャージされているデータ線302から電荷を供給して、データ線302にアナログ出力階調電圧V2を書き込む。

【0122】 2番目の書き込み期間に続く3番目の書き込み期間の間の始めに、1走査線（ゲート線）選択期間に出力する全デジタルデータの内、データ線303から3つ置き（3j）のデータ線30（3j）に対応するデジタルデータ（データ線303についてはD03からD53）が、データラッチ14Aからデータラッチ14Bに送られてラッチされる。一方、データレジスタ12Aからデータラッチ14Aにはデジタルデータは送られない。

【0123】 更に、図8に示すように、その3番目の書き込み期間において、制御回路40は、スイッチ制御信号S3をアクティブにし、プリチャージ信号S0とスイッチ制御信号S1、S2をインアクティブ状態に維持する。その結果、スイッチ241は開状態に維持され、スイッチ242が開き、スイッチ243が閉じる。従って、データ線303に対応するデジタルデータD03からD53が、データラッチ14BからD/A変換器16A内の対応するD/A変換回路16Bに供給され、データ線303に対応するデジタルデータをD/A変換回路16Bが変換して得られるアナログ電圧V3がアナログバッファ22Aに入力され、そのアナログバッファ22Aの出力が、スイッチ243を介してデータ線303に

接続され、データ線303に出力階調電圧V3が書き込まれる。

【0124】 上述した例では、データ線303は最小駆動電圧VSSにプリチャージされており、データ線303に対応するデジタルデータをD/A変換して得られるアナログ出力階調電圧V3が、最大駆動電圧VDDと最小駆動電圧VSSとの間の中間電圧Vm未満であるので、アナログバッファ22Aは、最小駆動電圧VSSにプリチャージされているデータ線303に電荷を供給して、データ線303にアナログ出力階調電圧V3を書き込む。

【0125】 図8に示すように、次の1走査線選択期間、行選択ドライバ（不図示）により、N番目のゲート信号がインアクティブされ、(N+1)番目のゲート信号がアクティブされ、(N+1)目の行選択線36が選択的に駆動される場合にも、制御回路40により、プリチャージ信号S0及びスイッチ制御信号S1、S2、S3が同様に制御される。

【0126】 以上のように、図1、図5、図6の実施例と異なり、各データ線にアナログ出力階調電圧に書き込む期間の直前の期間において、当該データ線が、そのデータ線に書き込むべきアナログ電圧に近い最大駆動電圧VDDまたは最小駆動電圧VSSにプリチャージされる。

【0127】 図7の変形例は、1走査線分のデジタルデータを3個のブロックに分け、多数のデータ線をP個のブロックに分けている。しかし、1走査線分のデジタルデータを、3個以外のP個のブロックに分け（ここで、Pは2以上の整数）、多数のデータ線を3個以外の複数個のブロックに分けることもできる。具体的には、1走査線分のデジタルデータを分けたP個のブロックの第1のブロックは、1走査線分のデジタルデータの1番目のデジタルデータからP個毎のデジタルデータからなり、1走査線分のデジタルデータを分けたP個のブロックの第2のブロックは、1走査線分のデジタルデータの2番目のデジタルデータからP個毎のデジタルデータからなり、以下同様である。また、多数のデータ線を分けたP個のブロックの第1のブロックは、多数のデータ線の1番目のデータ線からP個毎のデータ線からなり、P個のブロックの第2のブロックは、2番目のデータ線からP個毎のデータ線からなり、以下同様である。

【0128】 更に、第1のデータラッチ14Aは、P個のブロックの各ブロックのデジタルデータを、ブロックごとにラッチし、第1のデータラッチ14Bは、P個のブロックの各ブロックのデジタルデータを、ブロックごとにラッチする。アナログバッファ群22の各アナログバッファは、P個の隣接するデータ線に共通して設けられ、分配回路26は、各アナログバッファの出力を受けて、P個のデータ線の1つに択一的に分配する。なお、1走査線（ゲート線）選択期間は、図8に示すよう

に、4つの連続する期間に分けられるが、4つの連続する期間は等しい時間でもよく、プリチャージのみに使用される最初の期間を、残りの3つの期間より短くしてもよい。

【0129】 更に、図7の変形例においても、アナログバッファ群22の各アナログバッファを、図3に示す駆動回路100と200との組合せから構成すれば、更に低消費電力のデータ線駆動回路を実現することができる。

【0130】 図5、図6及び図7の変形例においても、図1に示した実施例のように、3つのデータ線ごとに1つのアナログバッファを設けている。しかし、3以外の複数本のデータ線ごとに1つのアナログバッファを設けるように変更できることは、図1に示した実施例と同様に可能であることは、当業者には明らかであろう。そして、このような変更は、当業者であれば、上記した説明から容易に実現できるであろう。

【0131】 図1に示した実施例並びに図5、図6及び図7の変形例は、単一集積回路に作り込むことができる。

【0132】 また、図1に示した実施例並びに図5、図6及び図7の変形例においては、プリチャージ電圧は、高電源電圧VDD（最大駆動電圧VDD）と低電源電圧VSS（最小駆動電圧VSS）との2つの電圧であったが、プリチャージ電圧は、2つに限られるものではなく、3以上の異なるプリチャージ電圧を用意することも可能であることは、当業者には容易に理解できよう。例えば、3つ又は4つのプリチャージ電圧を用意して、その内の1つのプリチャージ電圧の択一的にデータ線をプリチャージすることも可能である。この場合、プリチャージ電圧の選択は、データレジスタの最上位ビット信号と第2位以下のビット信号とから決定できることも、当業者には容易に理解できよう。

【0133】 図1に示した実施例並びに図5、図6及び図7の変形例においては、プリチャージ電圧は、データ線を駆動する階調電圧の上限電圧（すなわち、最大駆動電圧VDD）と下限電圧（最小駆動電圧VSS）との2つの電圧であった。しかし、プリチャージ電圧を、高駆動電圧と低駆動電圧との2つの電圧とする場合、その高駆動電圧と低駆動電圧とは、必ずしも、データ線を駆動する階調電圧の上限電圧と下限電圧に限定されない。回路構成の簡易化だけでなく、指定される様々な階調電圧までの充電時間および放電時間の最長時間を最短にすることも念頭に、高駆動電圧と低駆動電圧を決定することもできる。例えば、アナログバッファが等しい電流吸い込み能力と電流吐き出し能力を有している場合、高駆動電圧と低駆動電圧とを、階調電圧の（上限電圧一下限電圧）の3/4と1/4にすることもできる。また、電流吸い込み能力が高い駆動回路と電流吐き出し能力が高い駆動回路とを組み合わせるアナログバッファを構成す

る場合、電流吸い込み能力が高い駆動回路は、電流吸い込み能力に比べて電流吐き出し能力が劣るだけで、電流吐き出し能力が全くない訳でもなく、電流吐き出し能力が高い駆動回路は、電流吐き出し能力に比べて電流吸い込み能力が劣るだけで、電流吸い込み能力が全くない訳でもないので、高駆動電圧と低駆動電圧とを、階調電圧の上限電圧より僅かに低い電圧と、階調電圧の下限電圧より僅かに高い電圧とにすることもできる。

【0134】 なお、図1に示した実施例並びに図5及び図6の変形例においては、走査線を選択した後、すなわち、選択した走査線の全TFTスイッチングトランジスタをオン状態に置いた後、プリチャージをしている。すなわち、プリチャージされるデータ線の容量は、画素容量を含んだものである。しかし、データ線容量が画素容量に比べて十分に大きく、走査線選択時におけるデータ線と画素との結合により、データ線の電位の変化が無視できるならば、走査線選択時より前にデータ線をプリチャージするようにしてもよい。

【0135】 図1に示した実施例並びに図5、図6及び図7の変形例は全て、本発明によるデータ線駆動回路をコモン反転駆動式のデータドライバにおいて実施した例である。しかし、本発明によるデータ線駆動回路は、他の形式の液晶表示装置のデータ線駆動回路にも同様に適用できることは当業者には明らかであろう。極性信号POLを階調電圧発生回路18に供給する必要がある場合には、プリチャージ電圧は、デジタルデータの最上位ビット信号のみより決定され、また、図3の駆動回路100と200の択一動作も、デジタルデータの最上位ビット信号のみより決定されることも、当業者には明らかであろう。

【0136】 図9は、アクティブマトリクス型有機ELディスプレイの最も単純な画素構成を示す回路である。このような画素構成を有するアクティブマトリクス型有機ELディスプレイにも、本発明によるデータ線駆動回路は適用できる。図9において、データ線からトランジスタMP1を介してトランジスタMP2のゲートに階調電圧を印加して保持することにより、階調電圧により変調された電流が、トランジスタMP2を介して、画素を構成する有機発光ダイオードOLEDに流れて、階調電圧に対応する光量で発光する（電流変調方式）。各画素のトランジスタMP2のゲートに階調電圧を供給するデータ線ドライバとして、本発明によるデータ線駆動回路が適用できる。しかし、有機ELディスプレイでは、液晶表示装置のような極性反転は必要ない。なお、アクティブマトリクス型有機ELディスプレイの基本構成は、SID 98 DIGEST 第11から14頁、R. M. A. Dawson他の「4. 2 Design of an Improved Pixel for a Polysilicon Active-Matrix Organic LED Display」に記載されているので、詳細な説明は省略する。

【0137】

【発明の効果】 上述したように、本発明によるならば、パネル表示装置のデータ線駆動回路において、パネル表示装置の多数のデータ線の内の各複数のデータ線ごとに1つのアナログバッファを共通に設けることにより、アナログバッファの数を半減以下に削減することができる。アナログバッファは、動作を維持するための定常的なアイドル電流（静消費電流）を通常必要とするが、アナログバッファの数を削減することにより、削減したアナログバッファの静消費電流分だけ、データ線駆動回路の消費電力を削減することができる。それに伴い、所要面積も削減できる。

【0138】 更に、アナログバッファを、本発明者が特願平11-145768号において開示したようなデータ線駆動回路で構成した場合、アナログバッファ自体のアイドル電流を低く抑えても高速動作が可能であるので、更に低消費電力のアナログバッファを実現することができる。

【0139】 上述したように、本発明によるならば、アナログ階調電圧を書き込む期間に時間的に重複しないプリチャージ期間は、各走査線選択期間の最初のプリチャージ期間だけであるので、各走査線選択期間内で時分割して割り当てられるプリチャージ期間も各書き込む期間を十分長く確保できる。

【図面の簡単な説明】

【図1】 本発明によるデータ線駆動回路を実施したコモン反転駆動式のデータドライバの構成を示すブロック図である。

【図2】 図1に示すデータ線駆動回路の動作を図解するタイミングチャートである。

【図3】 特願平11-145768号に開示されてい

る駆動回路に基づいて構成されたアナログバッファとプリチャージ回路の回路図である。

【図4】 図3の回路の動作を図解するタイミング図である。

【図5】 図1の実施例の変形例を示すブロック図である。

【図6】 図1の実施例の別の変形例を示すブロック図である。

【図7】 図1の実施例の更に異なる変形例を示すブロック図である。

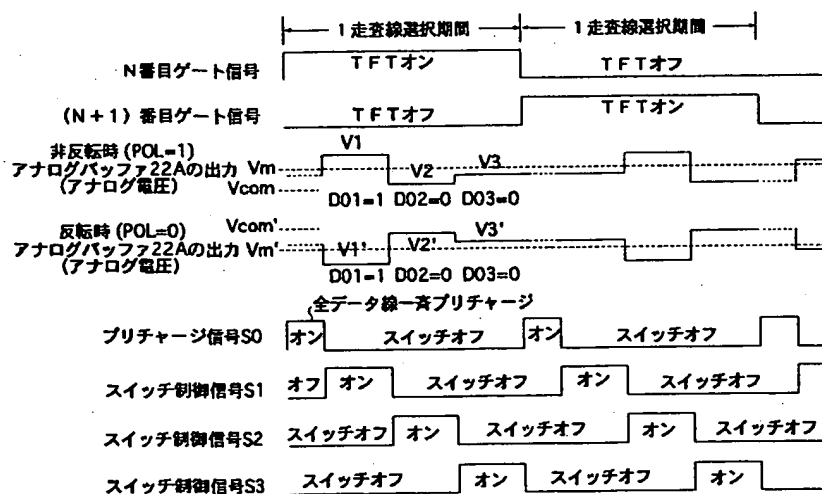
【図8】 図7に示すデータ線駆動回路の動作を図解するタイミングチャートである。

【図9】 アクティブマトリクス型有機ELディスプレイの最も単純な画素構成を示す回路図である。

【符号の説明】

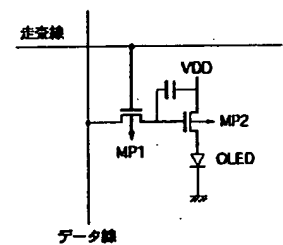
- 10、10A シフトレジスタ
- 12、12A データレジスタ
- 14、14A、14B データラッチ
- 16、16A D/A変換器
- 18 階調電圧発生回路
- 20 選択回路
- 22 アナログバッファ群
- 22A アナログバッファ
- 24 分配回路
- 26 プリチャージ回路
- 28 TFTアレイ
- 301~30K データ線
- 40 制御回路
- 50 フレームメモリ

【図2】

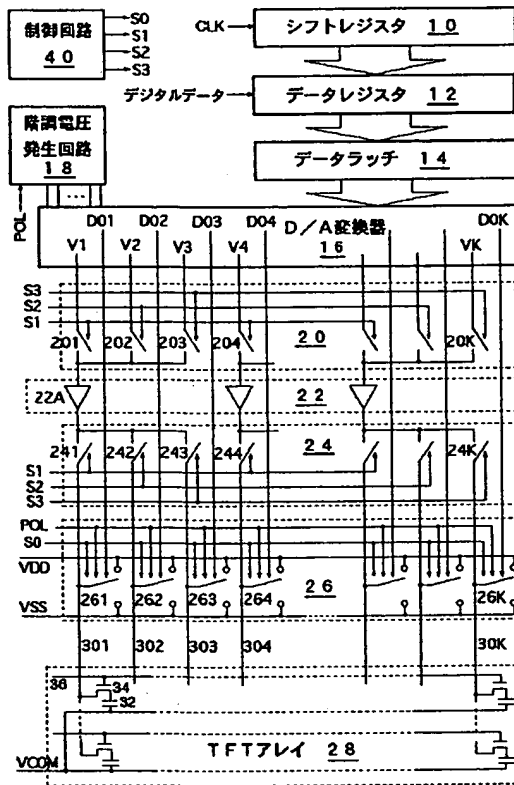


【図9】

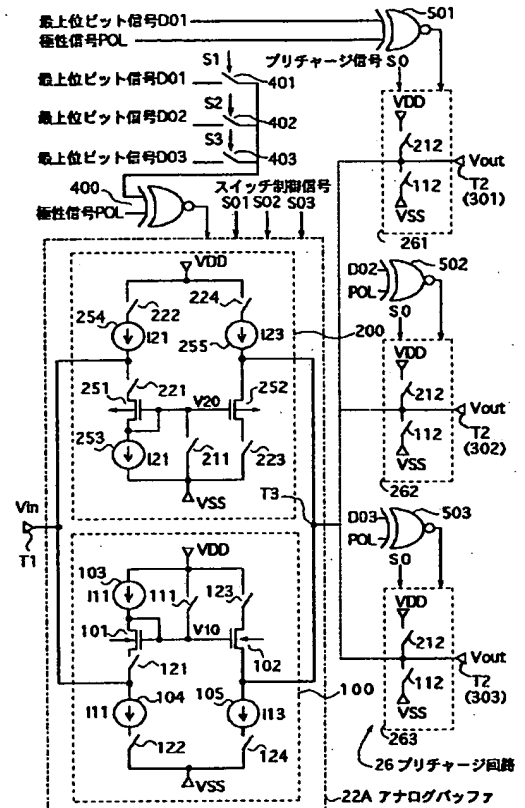
アクティブマトリクス型有機ELディスプレイの最も単純な画素構成



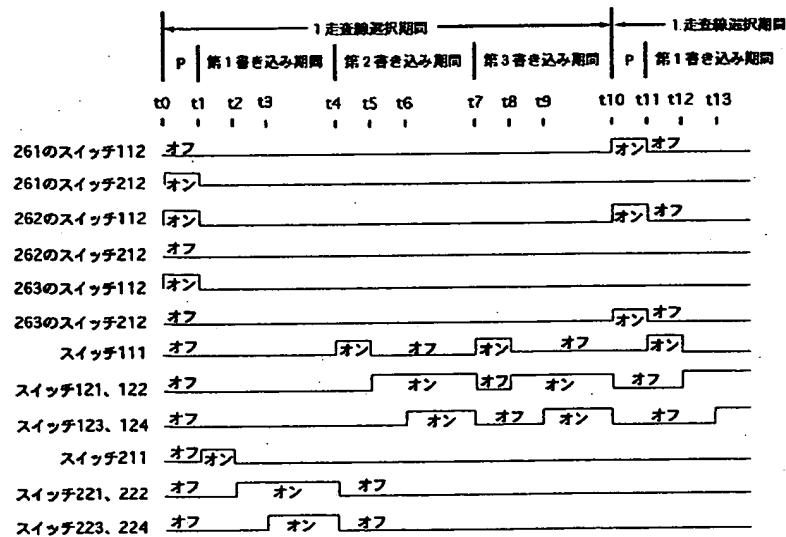
【図 1】



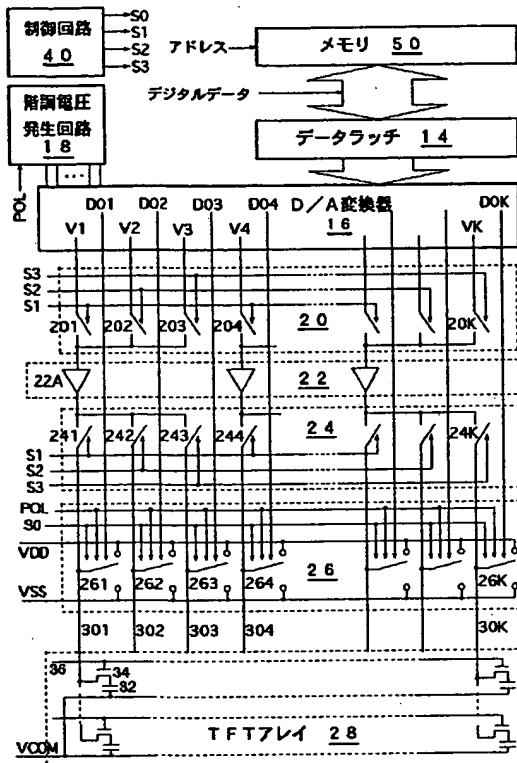
【図 3】



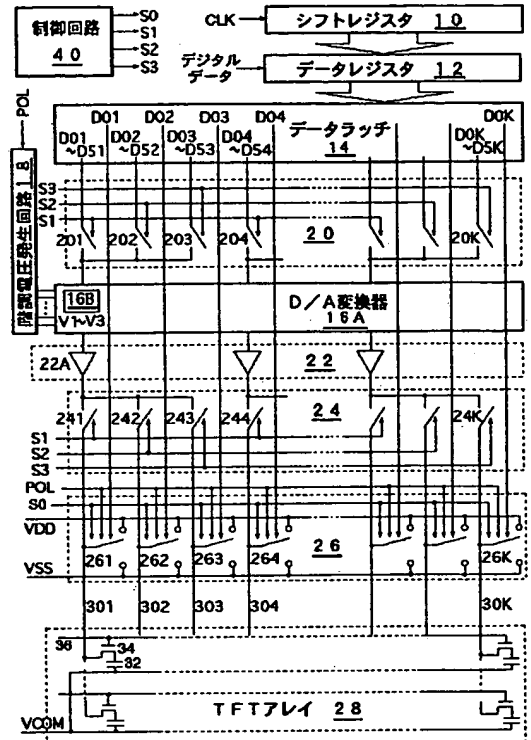
【図 4】



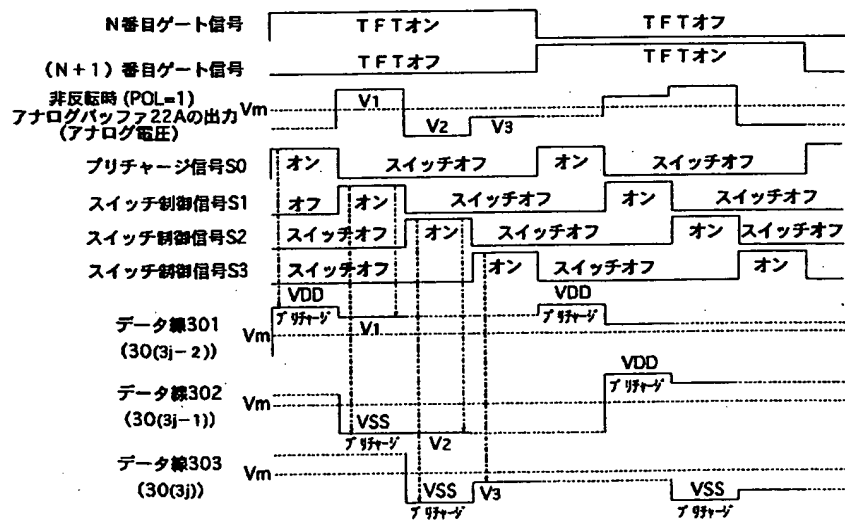
【図5】



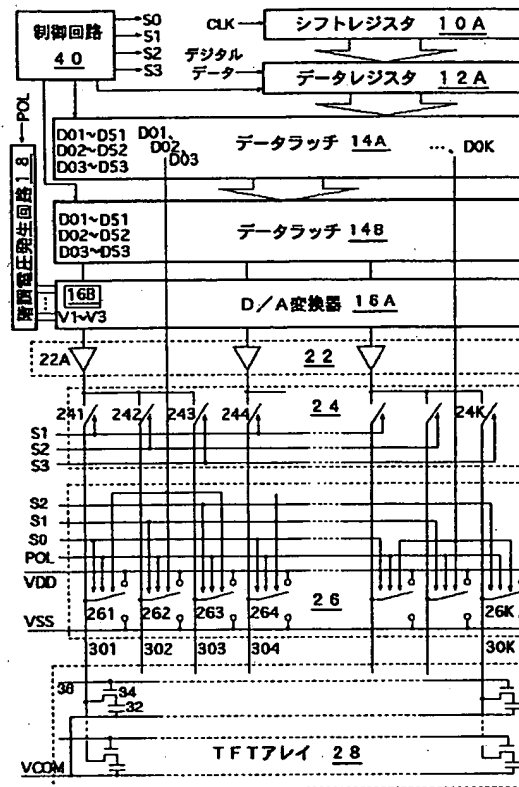
【図6】



【図8】



【図7】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	ターム (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66	1 0 2 B

Fターム(参考) 2H093 NC03 NC22 NC24 NC26 NC34
 ND06 ND39
 5C006 AA16 AC21 AF83 BB16 BC12
 BF24 BF26 BF34 FA47
 5C058 AA05 AA06 AA12 BA02 BA03
 BA26 BB05
 5C080 AA06 AA10 BB05 DD26 EE29
 FF11 GG11 JJ02 JJ03 JJ04